

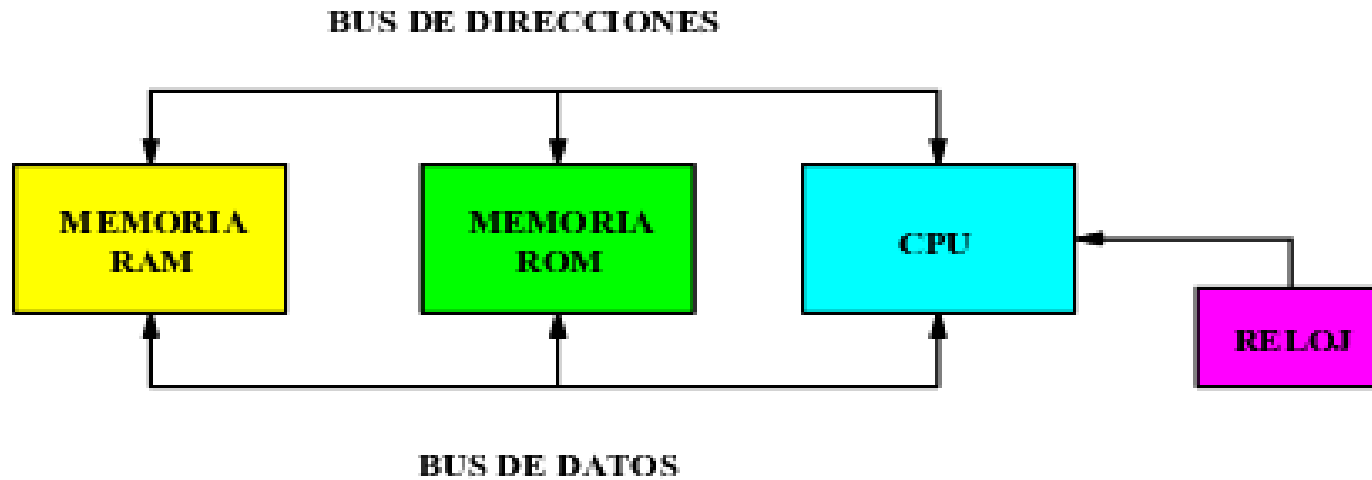
Microcontroladores PIC

- Procesador RISC.
- Arquitectura Harvard
- Pipeline
- Formato de instrucciones ortogonal
- Arquitectura basada en banco de registros
- Distintos periféricos: temporizadores, puertos paralelo/serie, interrupciones, I2C, USB, A/D, etc.
- Capacidades variables de memoria/datos.
- Programación “en el sistema”
- Modo de bajo consumo.
- Pines de alta corriente.
- Encapsulados desde 8 pines.

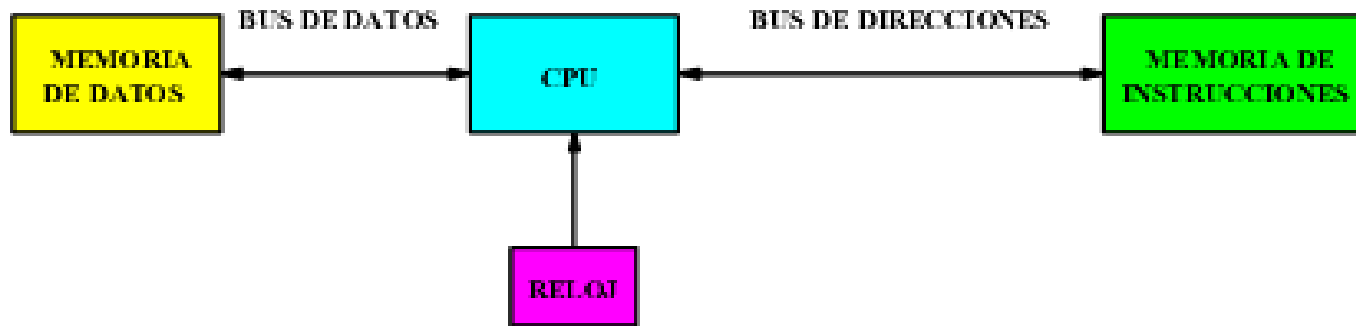
Procesadores CISC/RISC

- CISC (Complex Instruction Set Computer)
 - Muchas instrucciones (hasta 80)
 - Instrucciones complejas y potentes
 - Cada instrucción necesita muchos ciclos de reloj para ejecutarse.
- RISC(Reduced Instruction Set Computer)
 - Pocas instrucciones (en los PIC 35)
 - Instrucciones sencillas
 - Se ejecutan en un sólo ciclo de reloj
 - Favorecen el pipeline

Arquitectura Harvard



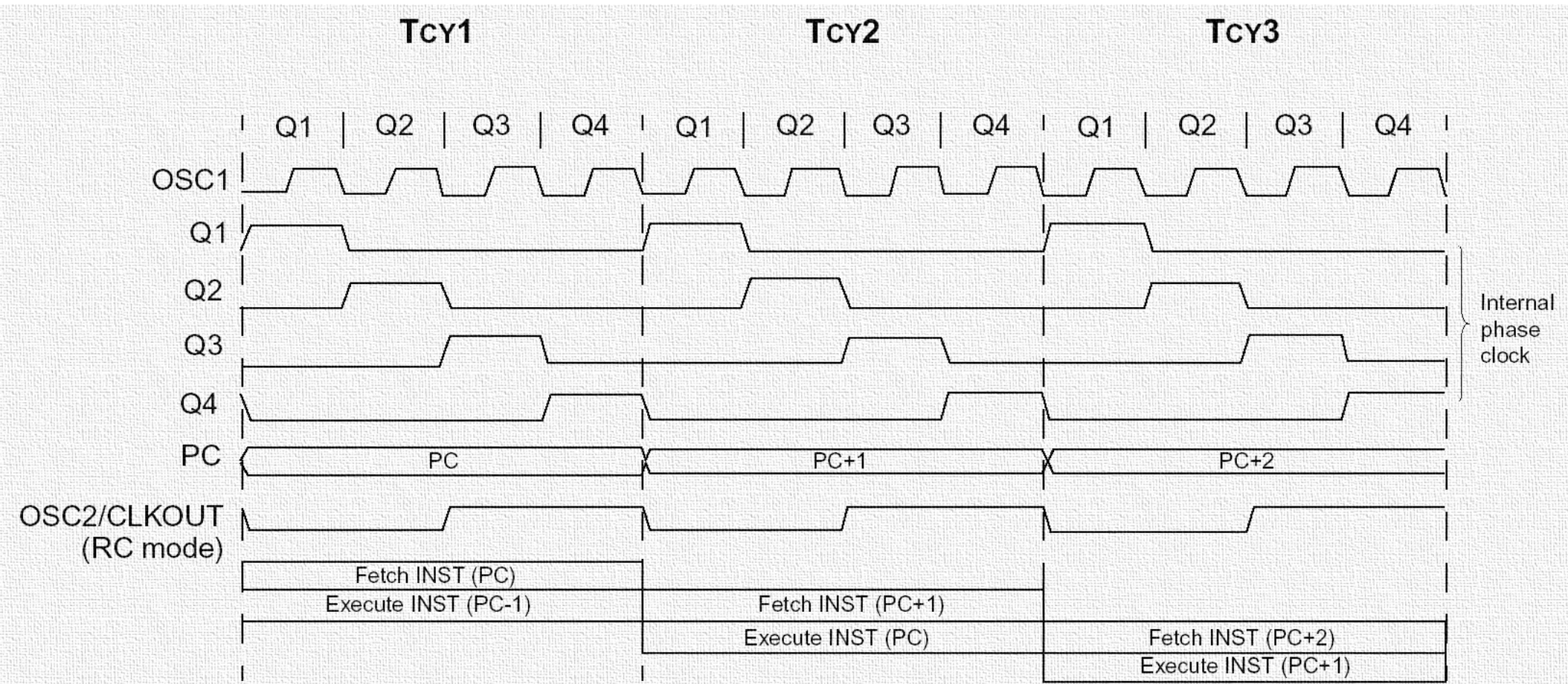
Arquitectura Von-Neumann



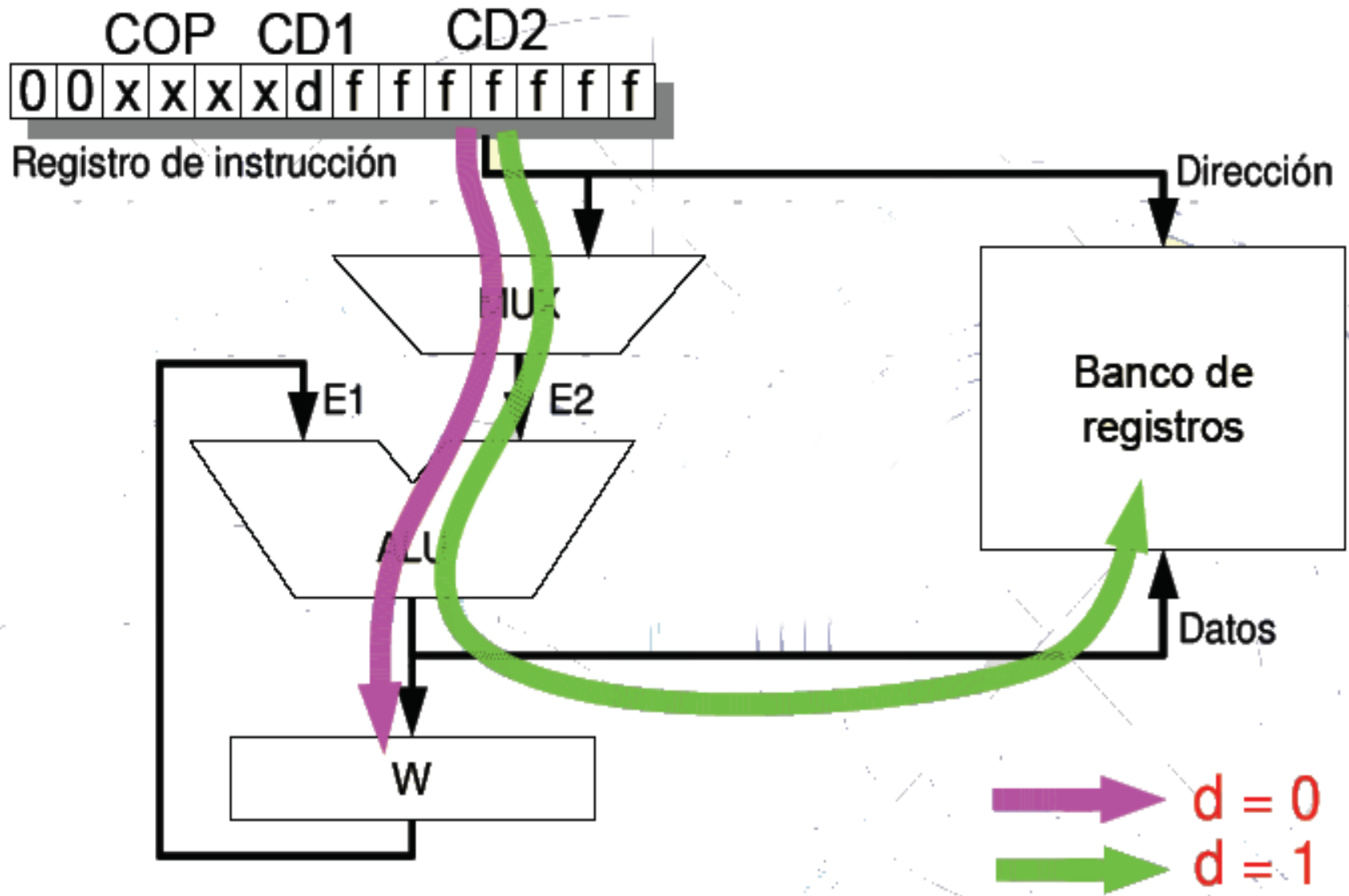
Arquitectura Harvard

Pipeline

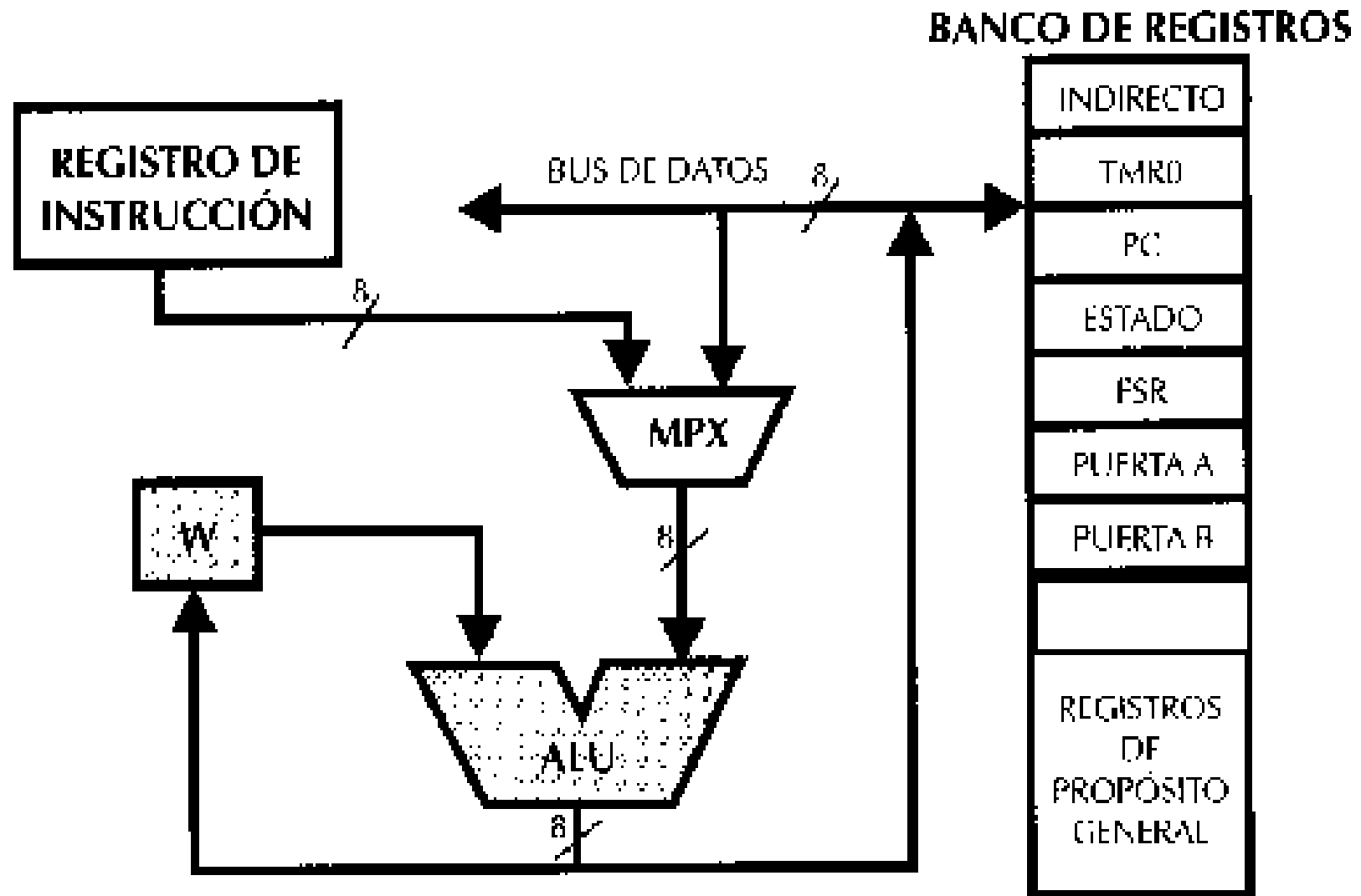
Ejemplo:	Busqueda 1	Ejecuta 1			
1. MOVLW 55h		Busqueda 2	Ejecuta2		
2 .MOVWF PORTB			Busqueda 3	Ejecuta 3	
3. CALL SUB_1				Busqueda 4	Salir
4. BSF PORTA,BIT3					Busqueda SUB_1
					Ejecuta SUB_1



Instrucciones ortogonales



Arquitectura basada en banco de registros



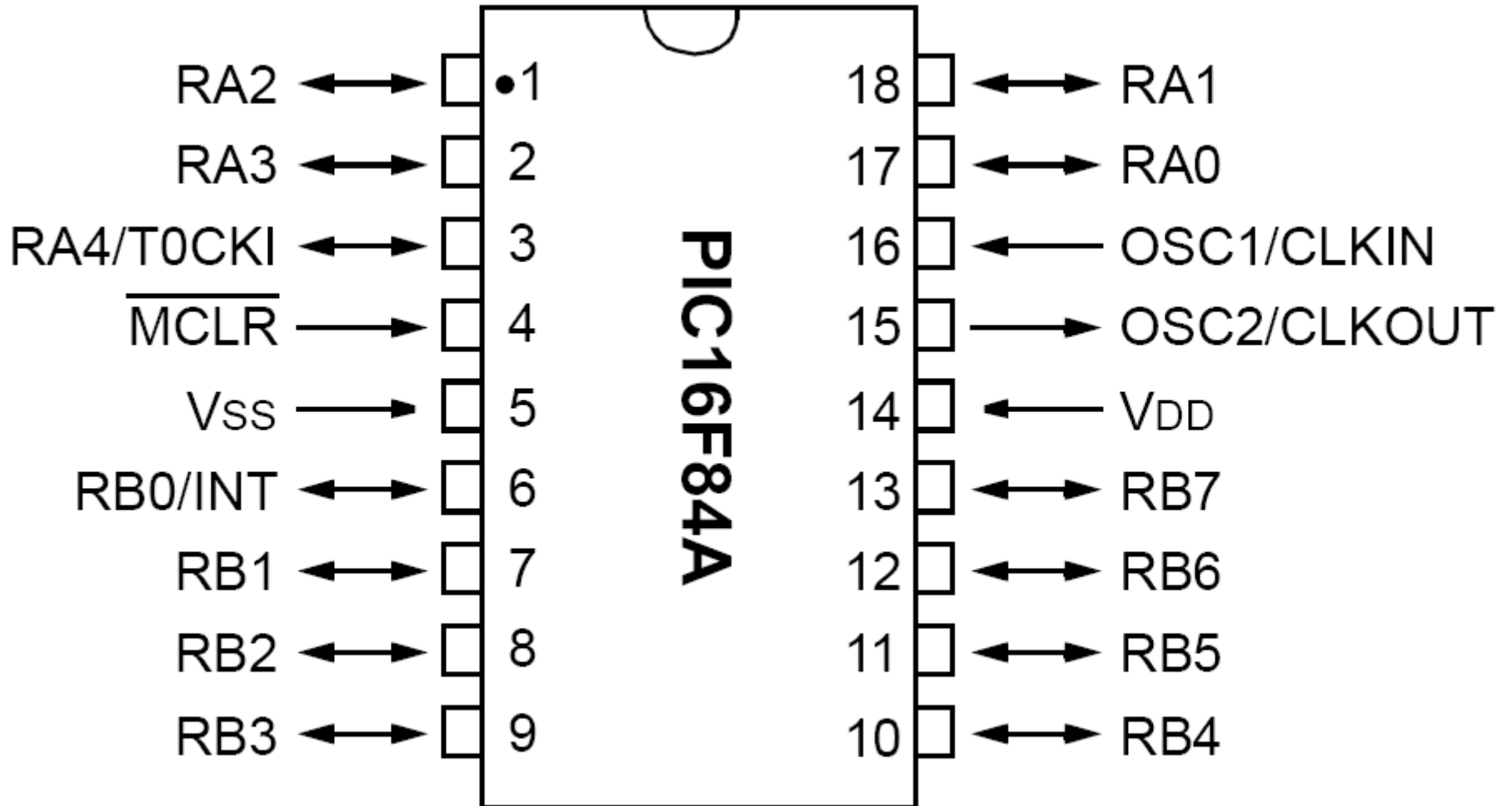
Uso típico de los microcontroladores

- Instrumentos portátiles
 - Polímetro, medidor ultrasónico de distancias, balanza electrónica.
- Dispositivos periféricos
 - Pantallas táctiles, teclado, ratón, display LCD, On Screen Display(OSD).
 - Impresoras, modems, plotters, scanners.
- Dispositivos autónomos
 - Fotocopiadoras, teléfonos móviles, cámaras digitales.
- Aplicaciones en automoción
 - Inyección electrónica, frenos ABS, tarificación de Taxis, cuadro de instrumentos, GPS.

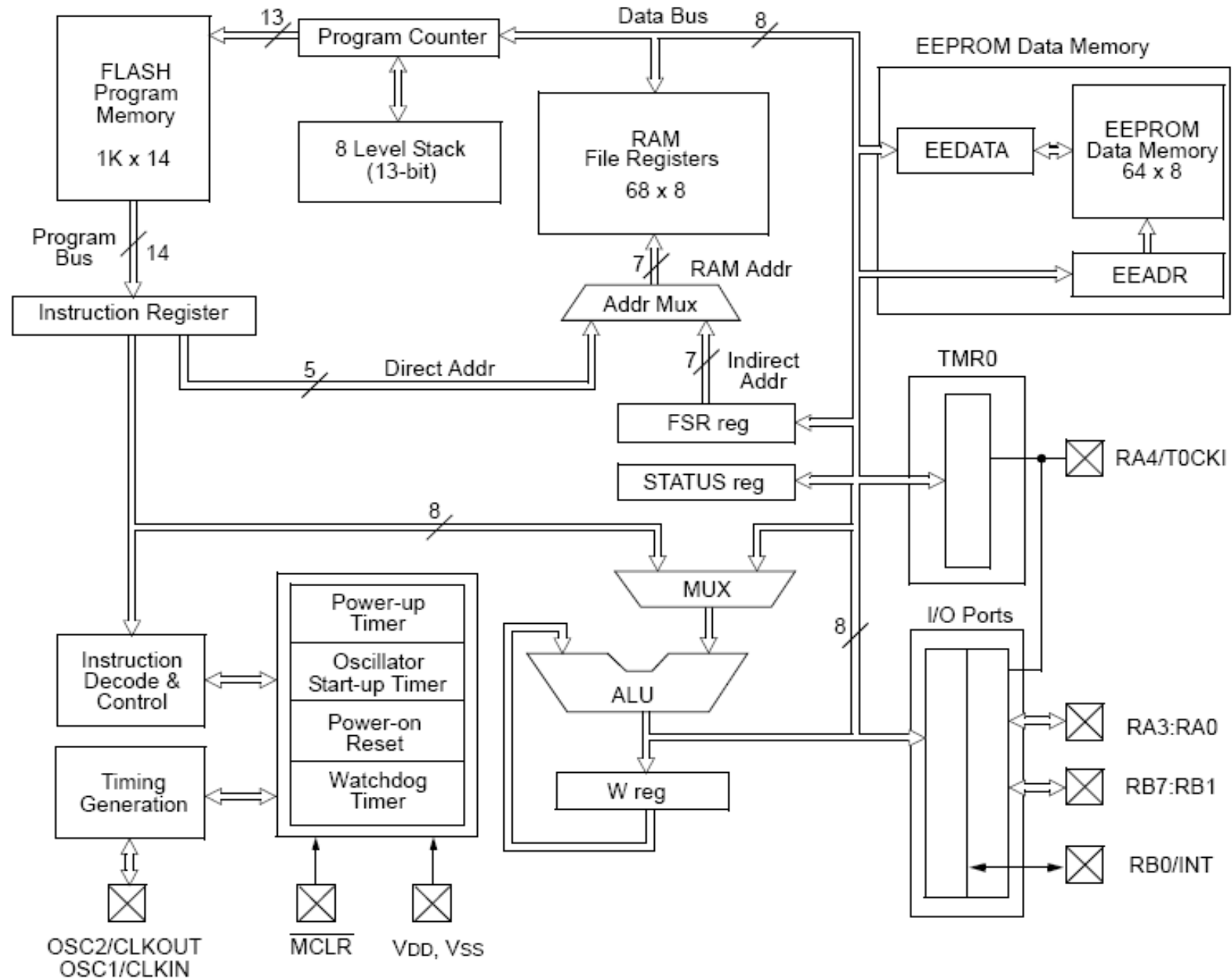
PIC16F84

- 35 instrucciones. Códigos de instrucción de 14 bits. Todas las instrucciones ocupan una palabra
- Todas las instrucciones duran un ciclo excepto las de salto que duran dos.
- Velocidad de funcionamiento 20MHz máximo (instr. 200 ns). Típicamente a 4MHz (instr. 1us).
- 1024 palabras (14 bits) de memoria de programa FLASH.
- 68 bytes de RAM de datos.
- 64 bytes de EEPROM de datos.
- 15 registros de función específica.
- Pila hardware de 8 niveles.
- Modos de direccionamiento directo, indirecto y relativo.
- Cuatro fuentes de interrupción.
- 13 pines de E/S con control individual de sentido.

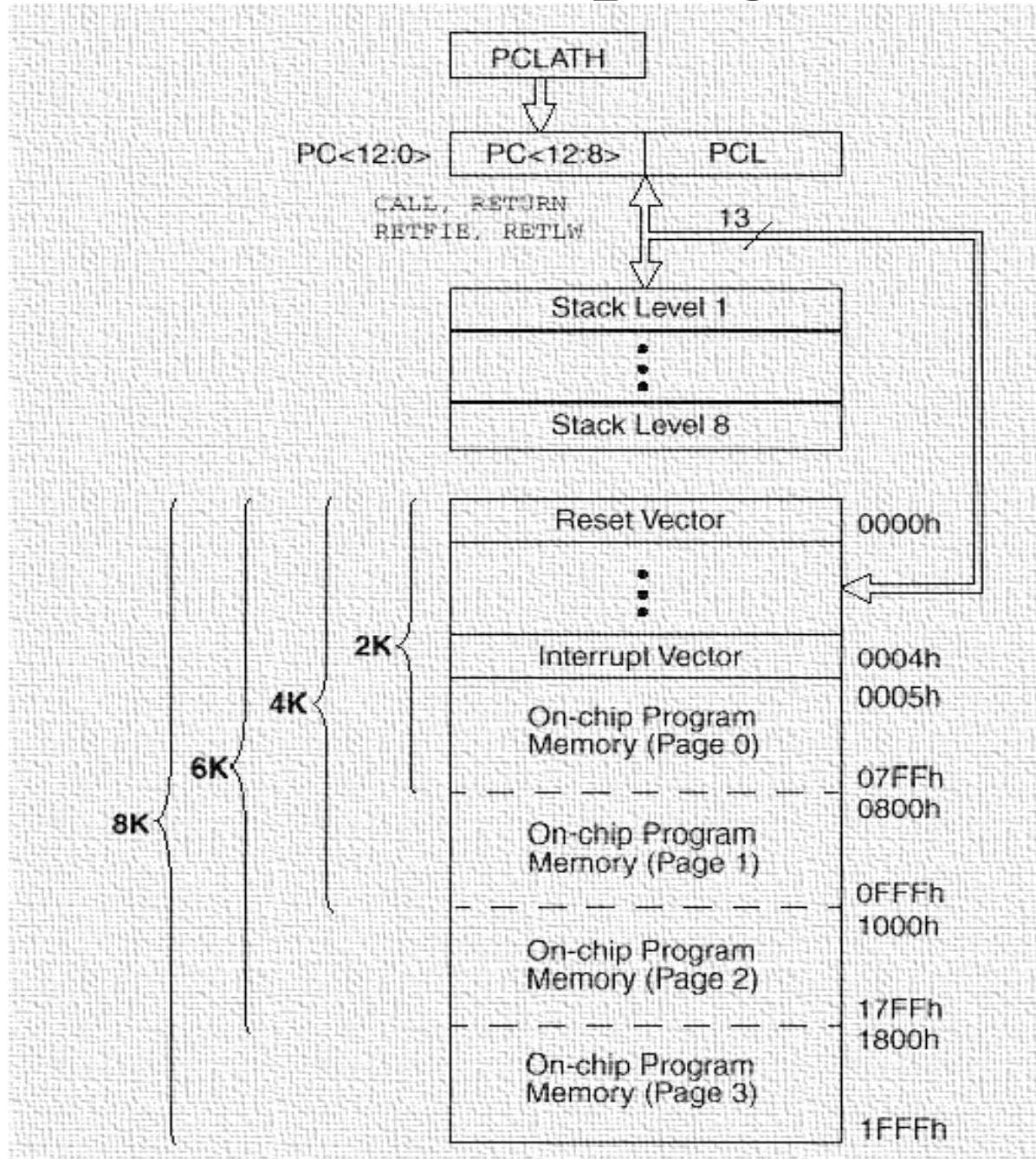
Encapsulado



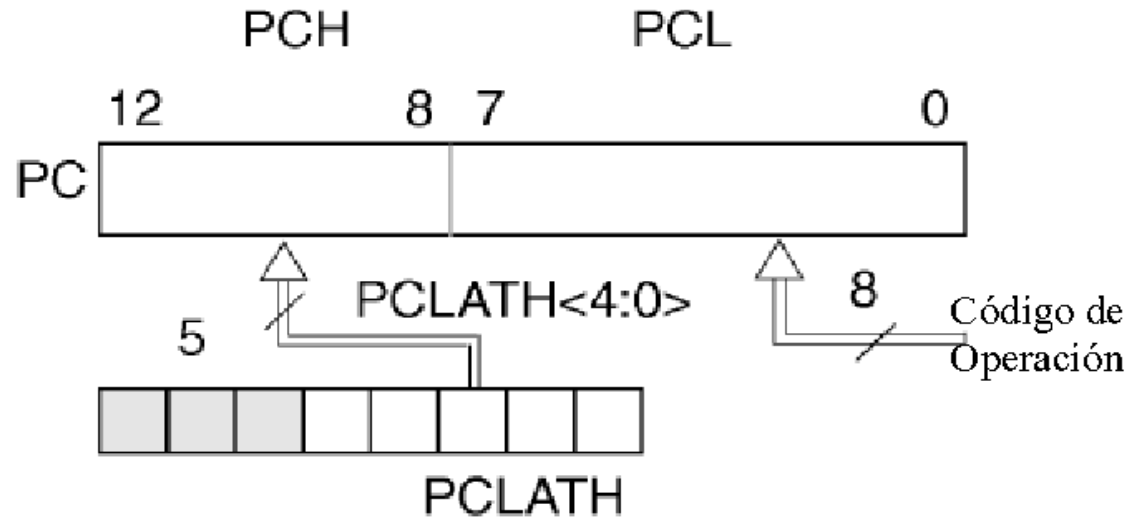
Arquitectura



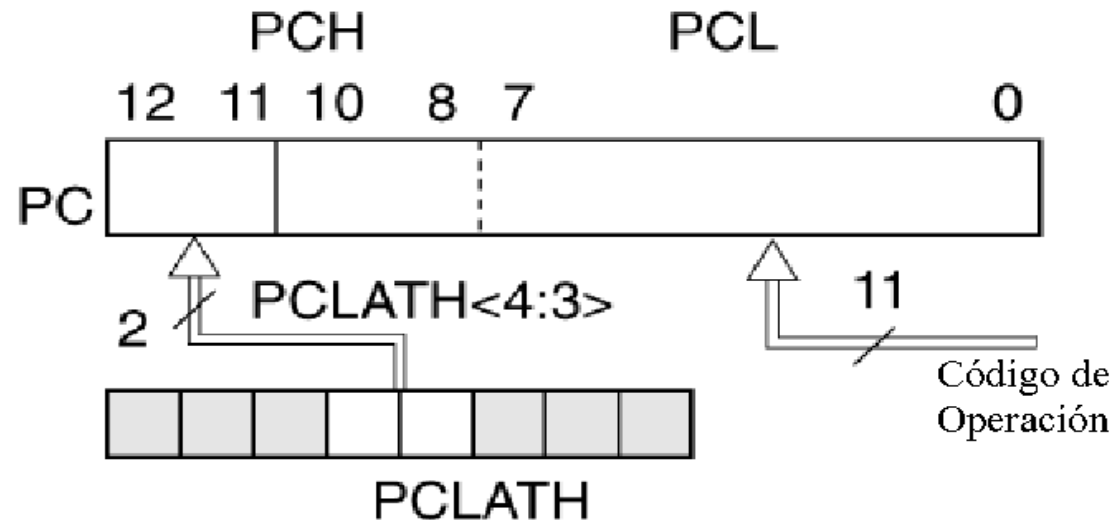
Memoria de programa



El contador de programa y PCLATH



En uso directo de PC (páginas 256 bytes)

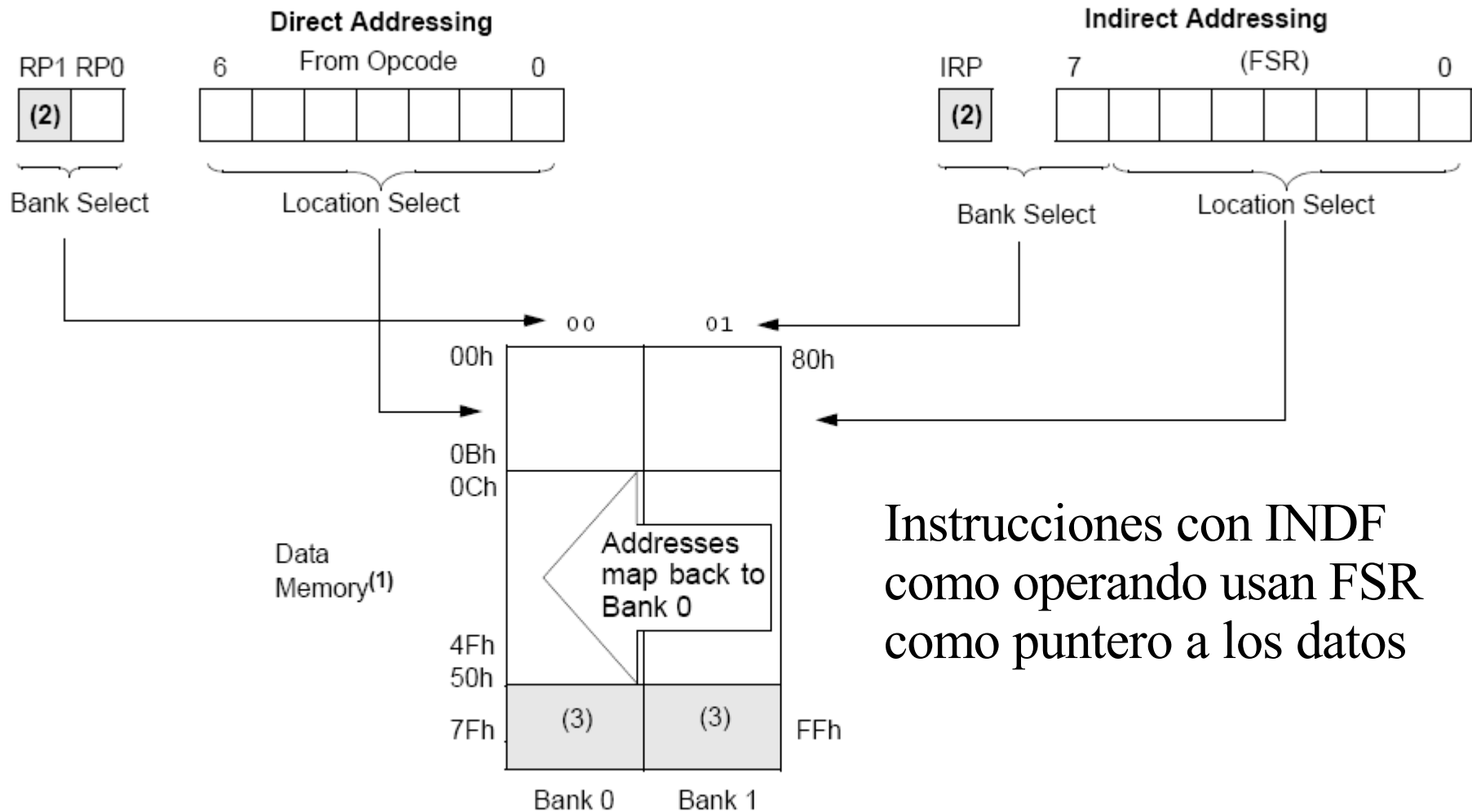


En instrucciones call y goto (páginas 2K)

Memoria de datos

- Toda la memoria RAM se usa como registros
 - Registros de propósito general
 - Registros especiales (SFR)
 - Configuración del microcontrolador
 - Acceso a los periféricos (puertos, temporizadores, etc.)
- Memoria “mapeada” en bancos
 - No todos los registros son accesibles a la vez.
 - Hasta 4 bancos (2 para PIC16F84)
 - Se cambia de banco con los bits RP0 y RP1 del registro de STATUS.
- Acceso indirecto mediante un registro especial
 - Registro FSR = registro “puntero” físico
 - Registro INDF = registro que indica dirección

Acceso directo e indirecto



Note 1: For memory map detail, see Figure 2-2.

Note 2: Maintain as clear for upward compatibility with future products.

SFR

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on Power-on RESET	Details on page
Bank 0											
00h	INDF	Uses contents of FSR to address Data Memory (not a physical register)								---- ----	11
01h	TMR0	8-bit Real-Time Clock/Counter								xxxx xxxx	20
02h	PCL	Low Order 8 bits of the Program Counter (PC)								0000 0000	11
03h	STATUS ⁽²⁾	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxxx	8
04h	FSR	Indirect Data Memory Address Pointer 0								xxxx xxxx	11
05h	PORTA ⁽⁴⁾	—	—	—	RA4/T0CKI	RA3	RA2	RA1	RA0	---x xxxx	16
06h	PORTB ⁽⁵⁾	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0/INT	xxxx xxxx	18
07h	—	Unimplemented location, read as '0'								—	—
08h	EEDATA	EEPROM Data Register								xxxx xxxx	13,14
09h	EEADR	EEPROM Address Register								xxxx xxxx	13,14
0Ah	PCLATH	—	—	—	Write Buffer for upper 5 bits of the PC ⁽¹⁾			---0 0000	11		
0Bh	INTCON	GIE	EEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	10
Bank 1											
80h	INDF	Uses Contents of FSR to address Data Memory (not a physical register)								---- ----	11
81h	OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	9
82h	PCL	Low order 8 bits of Program Counter (PC)								0000 0000	11
83h	STATUS ⁽²⁾	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxxx	8
84h	FSR	Indirect data memory address pointer 0								xxxx xxxx	11
85h	TRISA	—	—	—	PORTA Data Direction Register			---1 1111	16		
86h	TRISB	PORTB Data Direction Register								1111 1111	18
87h	—	Unimplemented location, read as '0'								—	—
88h	EECON1	—	—	—	EEIF	WRERR	WREN	WR	RD	---0 x000	13
89h	EECON2	EEPROM Control Register 2 (not a physical register)								---- ----	14
0Ah	PCLATH	—	—	—	Write buffer for upper 5 bits of the PC ⁽¹⁾			---0 0000	11		
0Bh	INTCON	GIE	EEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	10

Registro STATUS

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C
bit 7					bit 0		

bit 7-6 **Unimplemented:** Maintain as '0'

bit 5 **RP0:** Register Bank Select bits (used for direct addressing)

01 = Bank 1 (80h - FFh)

00 = Bank 0 (00h - 7Fh)

bit 4 **\overline{TO} :** Time-out bit

1 = After power-up, CLRWDT instruction, or SLEEP instruction

0 = A WDT time-out occurred

bit 3 **\overline{PD} :** Power-down bit

1 = After power-up or by the CLRWDT instruction

0 = By execution of the SLEEP instruction

bit 2 **Z:** Zero bit

1 = The result of an arithmetic or logic operation is zero

0 = The result of an arithmetic or logic operation is not zero

bit 1 **DC:** Digit carry/borrow bit (ADDWF, ADDLW, SUBLW, SUBWF instructions) (for borrow, the polarity is reversed)

1 = A carry-out from the 4th low order bit of the result occurred

0 = No carry-out from the 4th low order bit of the result

bit 0 **C:** Carry/borrow bit (ADDWF, ADDLW, SUBLW, SUBWF instructions) (for borrow, the polarity is reversed)

1 = A carry-out from the Most Significant bit of the result occurred

0 = No carry-out from the Most Significant bit of the result occurred

Note: A subtraction is executed by adding the two's complement of the second operand. For rotate (RRF, RLF) instructions, this bit is loaded with either the high or low order bit of the source register.

Registro OPTION

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
bit 7						bit 0	

- bit 7 **RBPU**: PORTB Pull-up Enable bit
 1 = PORTB pull-ups are disabled
 0 = PORTB pull-ups are enabled by individual port latch values
- bit 6 **INTEDG**: Interrupt Edge Select bit
 1 = Interrupt on rising edge of RB0/INT pin
 0 = Interrupt on falling edge of RB0/INT pin
- bit 5 **T0CS**: TMR0 Clock Source Select bit
 1 = Transition on RA4/T0CKI pin
 0 = Internal instruction cycle clock (CLKOUT)
- bit 4 **T0SE**: TMR0 Source Edge Select bit
 1 = Increment on high-to-low transition on RA4/T0CKI pin
 0 = Increment on low-to-high transition on RA4/T0CKI pin
- bit 3 **PSA**: Prescaler Assignment bit
 1 = Prescaler is assigned to the WDT
 0 = Prescaler is assigned to the Timer0 module
- bit 2-0 **PS2:PS0**: Prescaler Rate Select bits

Bit Value	TMR0 Rate	WDT Rate
000	1 : 2	1 : 1
001	1 : 4	1 : 2
010	1 : 8	1 : 4
011	1 : 16	1 : 8
100	1 : 32	1 : 16
101	1 : 64	1 : 32
110	1 : 128	1 : 64
111	1 : 256	1 : 128

Registro de configuración (en flash)

R/P-u	R/P-u	R/P-u	R/P-u	R/P-u	R/P-u	R/P-u	R/P-u	R/P-u	R/P-u	R/P-u	R/P-u	R/P-u	R/P-u
CP	CP	CP	CP	CP	CP	CP	CP	CP	CP	$\overline{\text{PWRTE}}$	WDTE	F0SC1	F0SC0
bit13											bit0		

- bit 13-4 **CP:** Code Protection bit
1 = Code protection disabled
0 = All program memory is code protected
- bit 3 **PWRTE:** Power-up Timer Enable bit
1 = Power-up Timer is disabled
0 = Power-up Timer is enabled
- bit 2 **WDTE:** Watchdog Timer Enable bit
1 = WDT enabled
0 = WDT disabled
- bit 1-0 **FOSC1:FOSC0:** Oscillator Selection bits
11 = RC oscillator
10 = HS oscillator
01 = XT oscillator
00 = LP oscillator

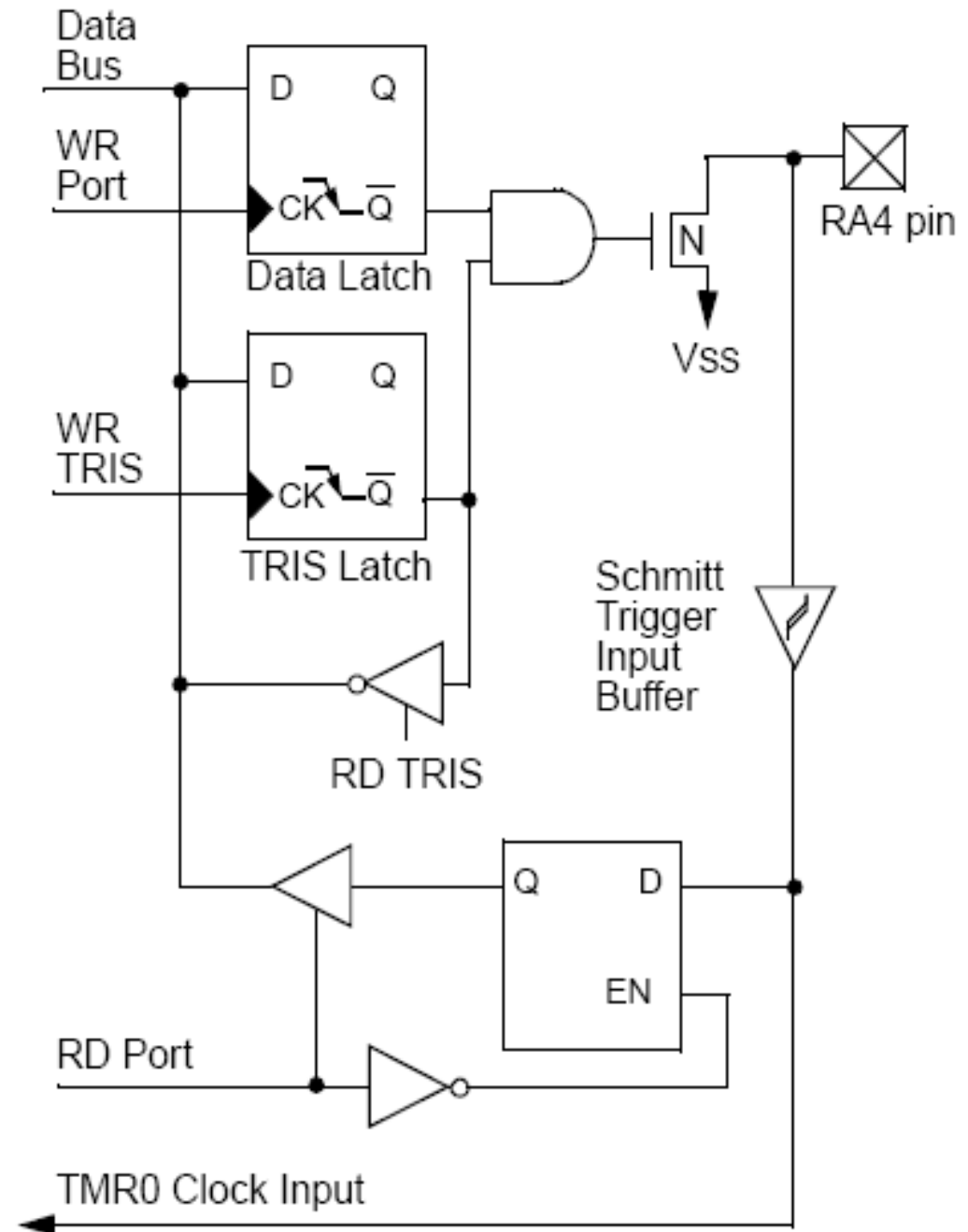
Ejemplo de programación de la configuración

```
INCLUDE "P16F84A.INC"
```

```
__CONFIG _WDT_OFF & _CP_OFF & _XT_OSC & _PWRTE_ON
```

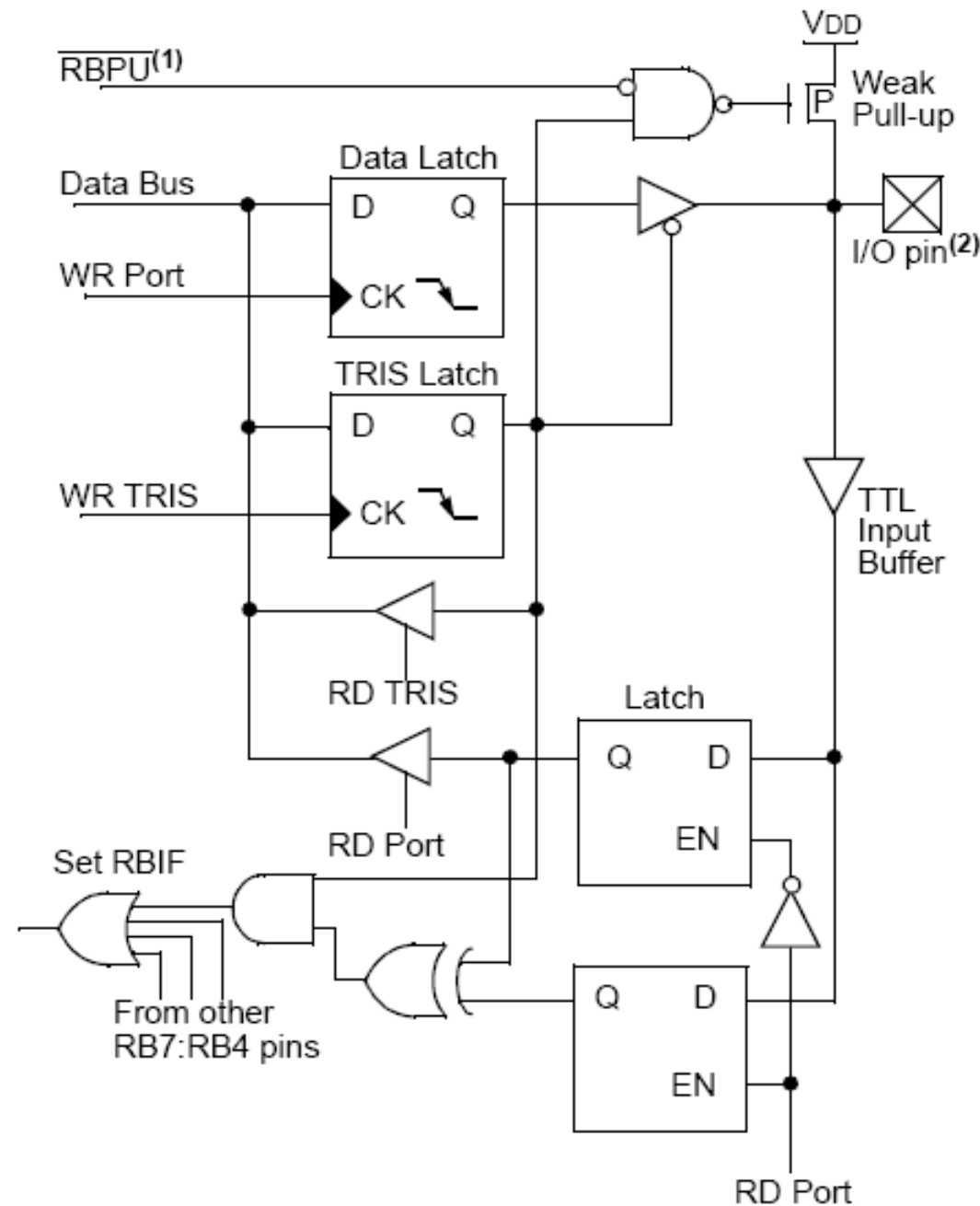

- PIN 4

- Salida TTL colector abierto
- Entrada trigger-schmidt
- Compartido con entrada de reloj para TMR0



• Puerto B

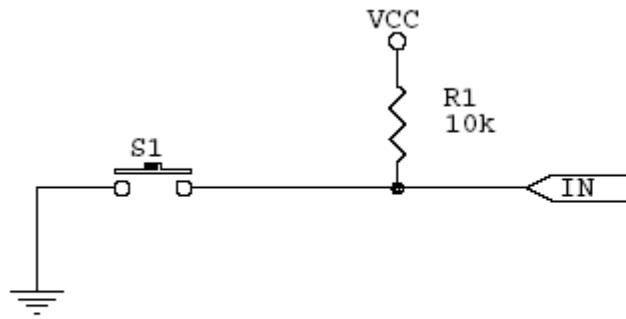
- 8 pines (TTL)
- Pull-up débil (configurable por software) cuando se configuran como entrada
- Pines 4..7 llevan asociada una interrupción en cambio de nivel
- Registro TRISB -> configuración
- Registro PORTB -> interfaz de lectura / escritura con el puerto.
- Corrientes máximas
 - $I_{OL} = 25\text{mA}$ (máximo total 150mA)
 - $I_{OH} = 25\text{ mA}$ (máximo total 100 mA)



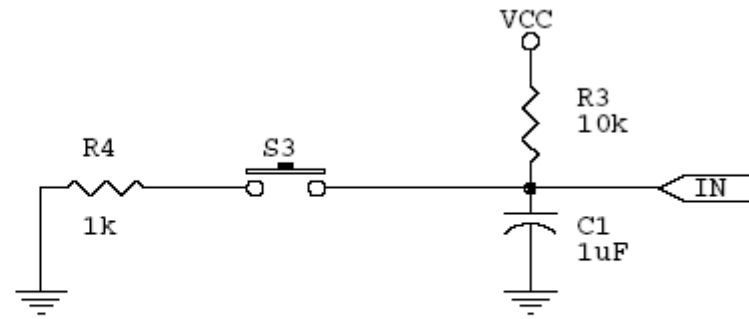
- Note 1:** TRISB = '1' enables weak pull-up (if $\overline{\text{RBPU}} = '0'$ in the OPTION_REG register).
- Note 2:** I/O pins have diode protection to VDD and VSS.

Pines 4..7

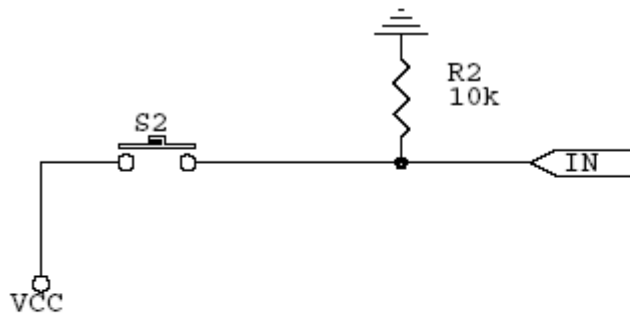
Conexión de pulsadores y LED



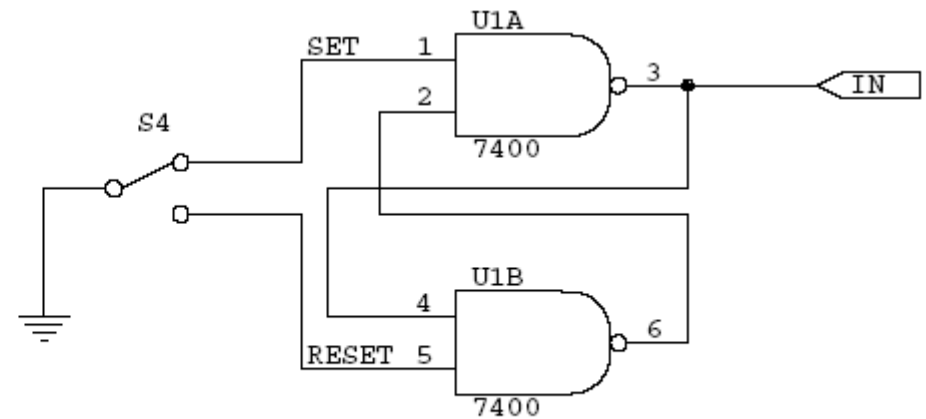
Al pulsar manda "0"



Sin REBOTES

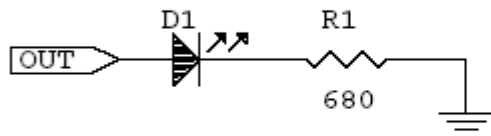


Al pulsar manda "1"

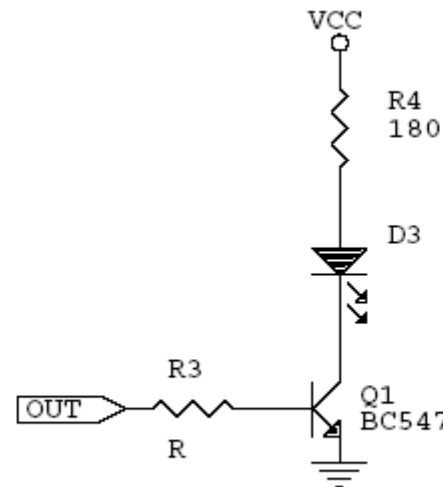
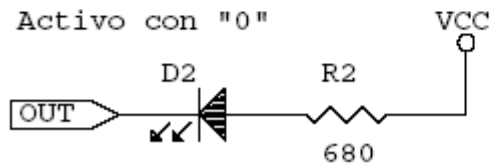


Sin REBOTES

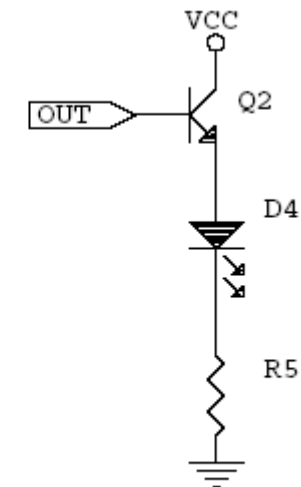
Activo con "1"



Activo con "0"



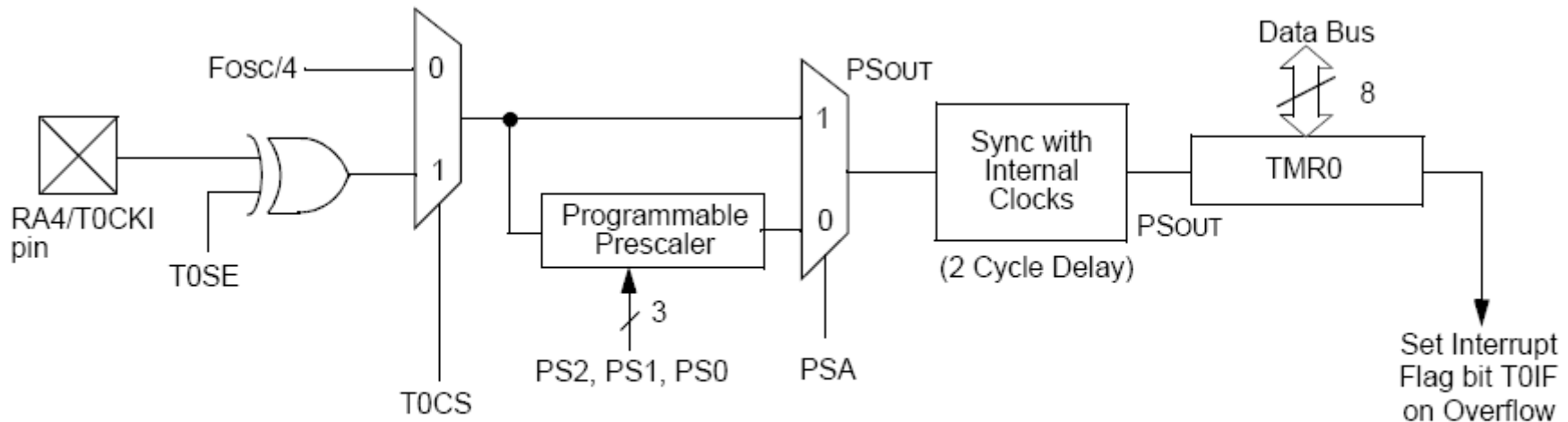
Con polarizacion



Conf. Emisor-Seguidor

Temporizador TMR0

- Contador / temporizador de 8 bits leible y escribible
- Reloj interno/externo. Incremento en flanco subida/bajada
- Prescaler de 8 bits asociado
- Interrupción en desbordamiento



Note 1: T0CS, T0SE, PSA, PS2:PS0 (OPTION_REG<5:0>).

Note 2: The prescaler is shared with Watchdog Timer (refer to Figure 5-2 for detailed block diagram).

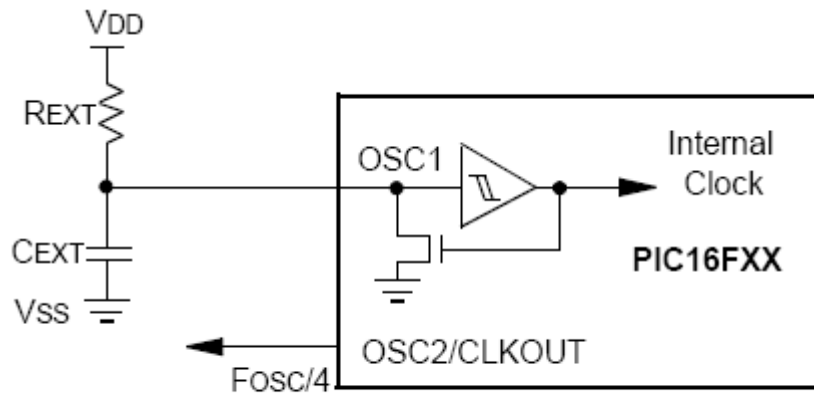
Programación del TMR0

- Prescaler (OPTION_REG):
 - PSA -> 1 WDT, 0 TMR0
 - PS2..PS0 -> fija el escalado: 1 a 128 para WDT, 2 a 256 para TMR0
 - T0CS -> 0 reloj interno (reloj instrucción), 1 externo (PA4)
- Escritura en registro TMR0 de la cuenta -> cuenta ascendente
- Desbordamiento
 - activa T0IF (debe borrarse por software)
 - Si está activado T0IE y GIE, se produce una interrupción
- El temporizador está apagado en modo SLEEP.

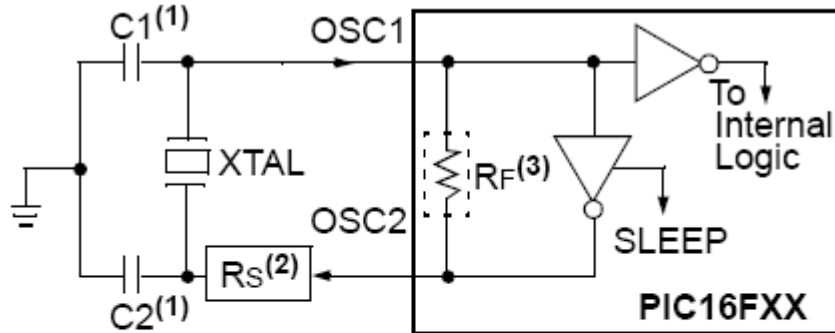
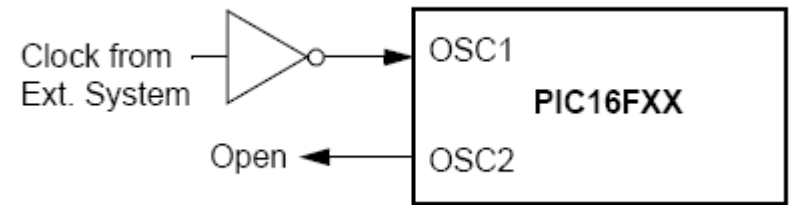
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other RESETS	
01h	TMR0	Timer0 Module Register								xxxx xxxx	uuuu uuuu	
0Bh,8Bh	INTCON	GIE	EEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u	
81h	OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111	
85h	TRISA	—	—	—	PORTA Data Direction Register				---	1 1111	---	1 1111

Legend: x = unknown, u = unchanged, - = unimplemented locations read as '0'. Shaded cells are not used by Timer0.

Configuración del oscilador



Recommended values: $5\text{ k}\Omega \leq R_{EXT} \leq 100\text{ k}\Omega$
 $C_{EXT} > 20\text{ pF}$



Note 1: See Table 6-1 for recommended values of C1 and C2.

2: A series resistor (R_s) may be required for AT strip cut crystals.

Mode	Freq	OSC1/C1	OSC2/C2
LP	32 kHz	68 - 100 pF	68 - 100 pF
	200 kHz	15 - 33 pF	15 - 33 pF
XT	100 kHz	100 - 150 pF	100 - 150 pF
	2 MHz	15 - 33 pF	15 - 33 pF
	4 MHz	15 - 33 pF	15 - 33 pF
HS	4 MHz	15 - 33 pF	15 - 33 pF
	20 MHz	15 - 33 pF	15 - 33 pF

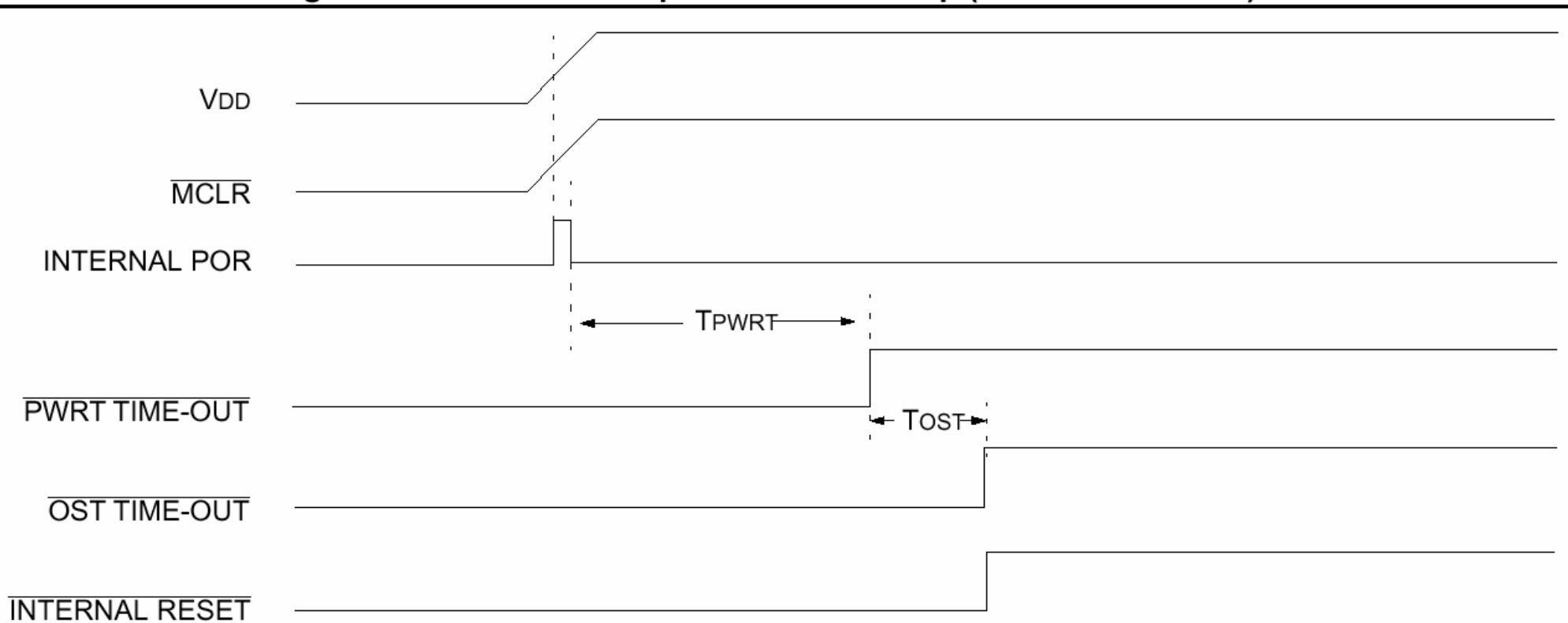
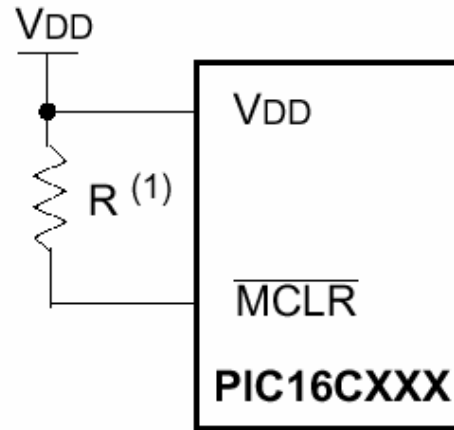
Note: Higher capacitance increases the stability of the oscillator, but also increases the start-up time. These values are for design guidance only. R_s may be required in HS mode, as well as XT mode, to avoid overdriving crystals with low drive level specification. Since each crystal has its own characteristics, the user should consult the crystal manufacturer for appropriate values of external components.
 For $V_{DD} > 4.5\text{V}$, $C1 = C2 \approx 30\text{ pF}$ is recommended.

RESET

- Vector de RESET = posición 0
- Fuentes de RESET:
 - RESET externo (MCLR)
 - Pin para RESET. Activo a nivel bajo
 - En funcionamiento normal ejecuta un reset.
 - En SLEEP despierta al microcontrolador.
 - Power On Reset (POR)
 - POR
 - Pulso de RESET al detectar que sube la alimentación
 - Permite conectar MCLR a Vdd
 - Power-Up Timer (PWRT)
 - Pulso extra de 72ms añadido a POR. (es un oscilador RC interno)
 - Permite a Vdd llegar a un nivel aceptable
 - Se activa con el bit PWRTE en la palabra de configuración

- Oscillator Start-Up Timer (OST)
 - Pulso extra de reset de 1024 ciclos de reloj, después de PWRT
 - Permite al oscilador estabilizarse bien.
 - Solo en modos con cristal.
- Brown-Out Reset (BOR)
 - Reset cuando se produce una caída de la alimentación
 - Se activa con el bit BOR en la palabra de configuración.
- Perro guardián (WDT)
 - Temporizador RC interno (periodo nominal 18ms)
 - Se le puede asignar el prescaler.
 - Funciona incluso en modo SLEEP.
 - En desbordamiento
 - Modo normal -> RESET
 - Modo SLEEP -> despierta al micro.
 - Se habilita con el bit WDTE del registro de configuración
 - Se borra con la instrucción CLRWDT

POR “normal”



Retraso del POR con fuente lenta

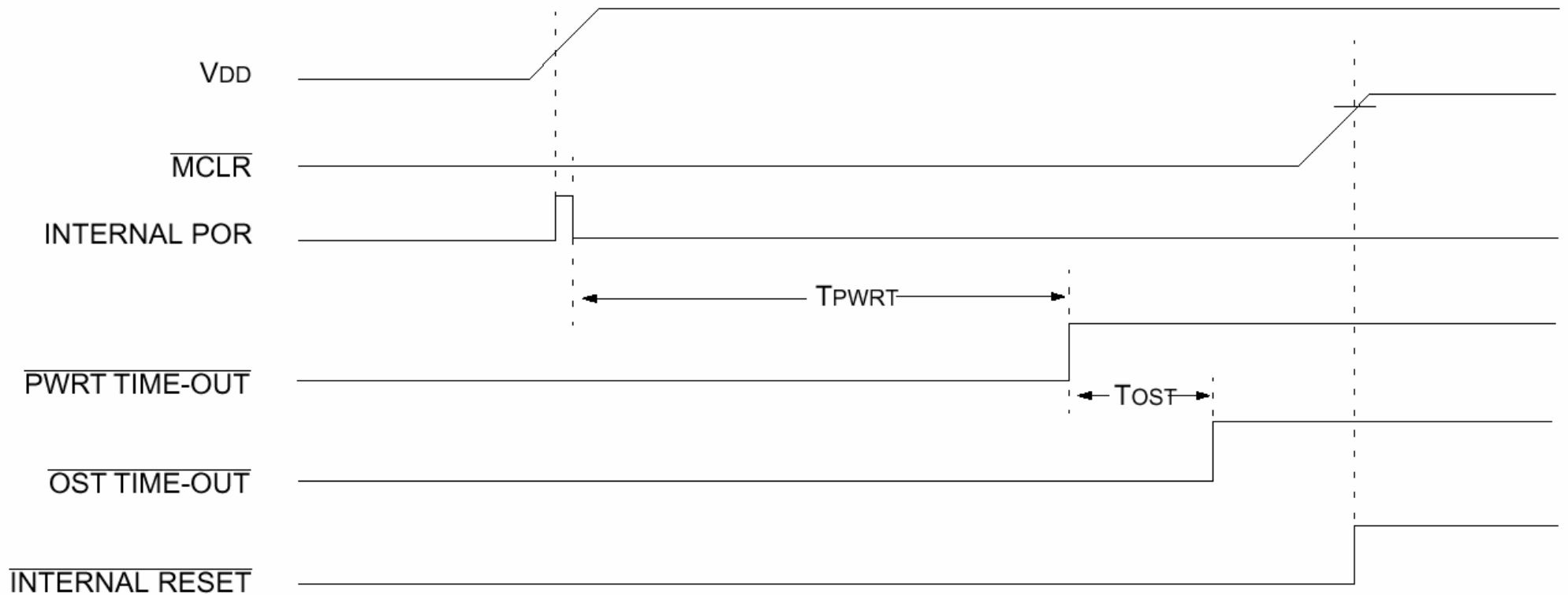
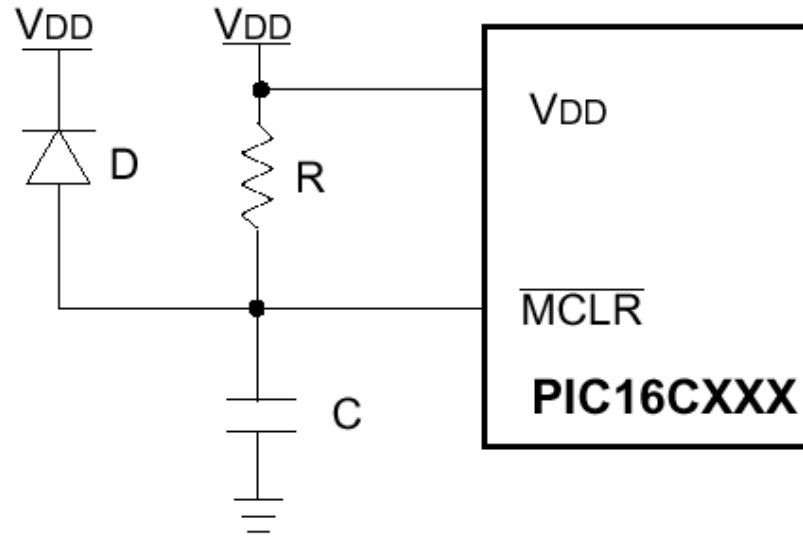
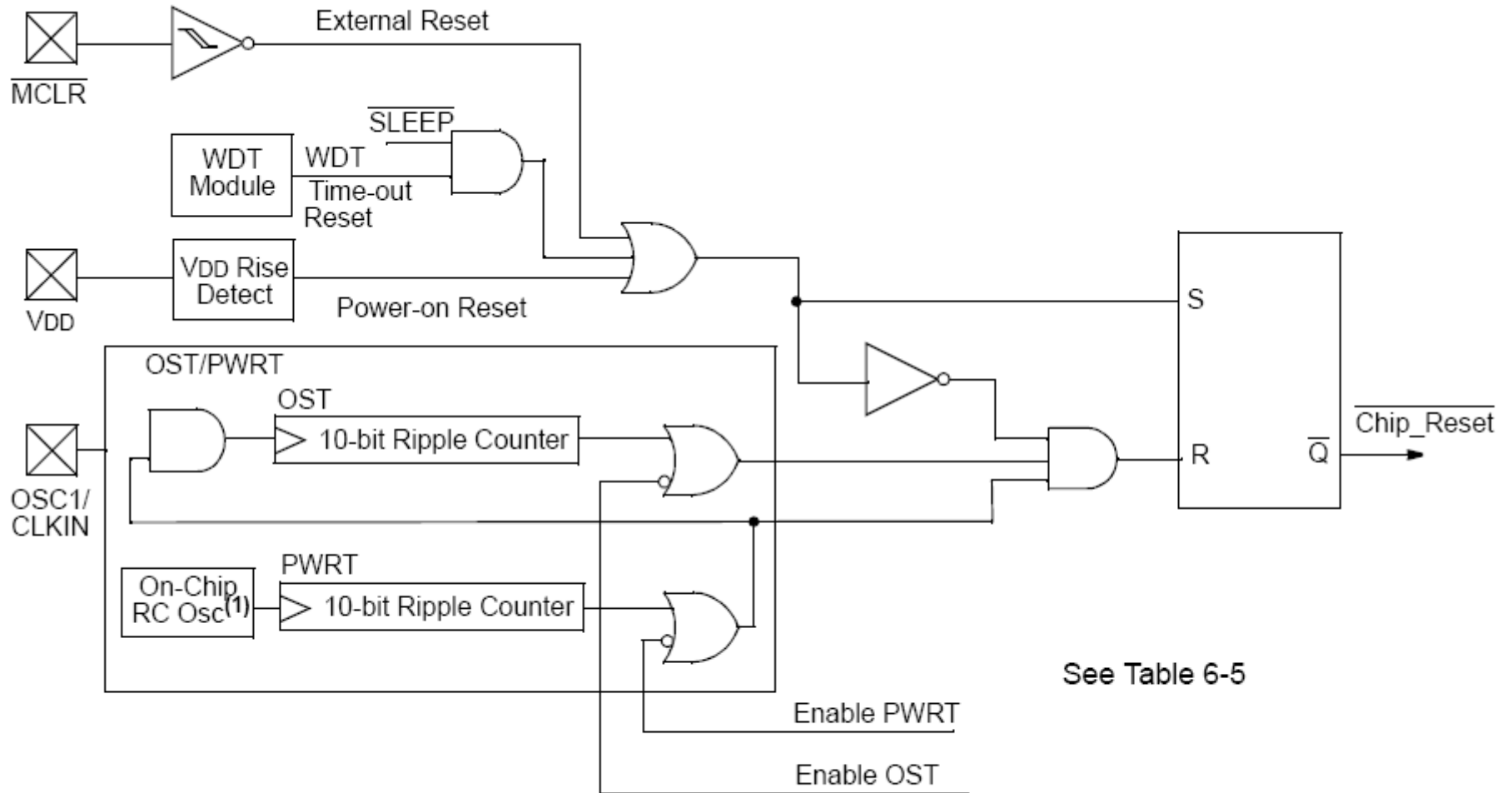


Diagrama de bloques del RESET



- Note 1:** This is a separate oscillator from the RC oscillator of the CLKIN pin.
Note 2: See Table 6-5.

Valores de los registros después de un RESET

Register	Address	Power-on Reset	MCLR during: – normal operation – SLEEP WDT Reset during normal operation	Wake-up from SLEEP: – through interrupt – through WDT Time-out
W	—	xxxxx xxxxx	uuuu uuuu	uuuu uuuu
INDF	00h	-----	-----	-----
TMR0	01h	xxxxx xxxxx	uuuu uuuu	uuuu uuuu
PCL	02h	0000 0000	0000 0000	PC + 1 ⁽²⁾
STATUS	03h	0001 1xxxx	000q quuu ⁽³⁾	uuuq quuu ⁽³⁾
FSR	04h	xxxxx xxxxx	uuuu uuuu	uuuu uuuu
PORTA ⁽⁴⁾	05h	---x xxxxx	---u uuuu	---u uuuu
PORTB ⁽⁵⁾	06h	xxxxx xxxxx	uuuu uuuu	uuuu uuuu
EEDATA	08h	xxxxx xxxxx	uuuu uuuu	uuuu uuuu
EEADR	09h	xxxxx xxxxx	uuuu uuuu	uuuu uuuu
PCLATH	0Ah	---0 0000	---0 0000	---u uuuu
INTCON	0Bh	0000 000x	0000 000u	uuuu uuuu ⁽¹⁾
INDF	80h	-----	-----	-----
OPTION_REG	81h	1111 1111	1111 1111	uuuu uuuu
PCL	82h	0000 0000	0000 0000	PC + 1 ⁽²⁾
STATUS	83h	0001 1xxxx	000q quuu ⁽³⁾	uuuq quuu ⁽³⁾
FSR	84h	xxxxx xxxxx	uuuu uuuu	uuuu uuuu
TRISA	85h	---1 1111	---1 1111	---u uuuu
TRISB	86h	1111 1111	1111 1111	uuuu uuuu
EECON1	88h	---0 x000	---0 q000	---0 uuuu
EECON2	89h	-----	-----	-----
PCLATH	8Ah	---0 0000	---0 0000	---u uuuu
INTCON	8Bh	0000 000x	0000 000u	uuuu uuuu ⁽¹⁾

Legend: u = unchanged, x = unknown, - = unimplemented bit, read as '0', q = value depends on condition

Note 1: One or more bits in INTCON will be affected (to cause wake-up).

2: When the wake-up is due to an interrupt and the GIE bit is set, the PC is loaded with the interrupt vector (0004h).

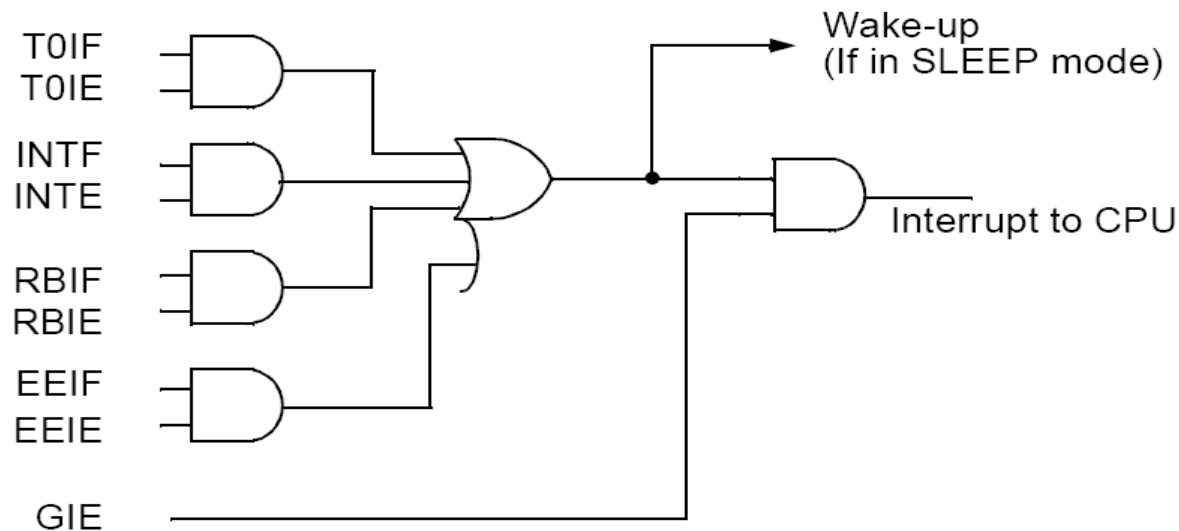
3: Table 6-3 lists the RESET value for each specific condition.

4: On any device RESET, these pins are configured as inputs.

5: This is the value that will be in the port output latch.

Interrupciones

- Interrupciones no vectorizadas. Vector de interrupción = 04h
- Fuentes de interrupción
 - Interrupción externa INT (RB0)
 - Desbordamiento TMR0
 - Cambio puerto B: pines B4..B7
 - Escritura EEPROM
- INT y cambio PB despiertan al micro de SLEEP.
- Enmascarables de forma global (GIE) o individual (T0IE,)



R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE	EEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF
bit 7							bit 0

- bit 7 **GIE:** Global Interrupt Enable bit
1 = Enables all unmasked interrupts
0 = Disables all interrupts
- bit 6 **EEIE:** EE Write Complete Interrupt Enable bit
1 = Enables the EE Write Complete interrupts
0 = Disables the EE Write Complete interrupt
- bit 5 **T0IE:** TMR0 Overflow Interrupt Enable bit
1 = Enables the TMR0 interrupt
0 = Disables the TMR0 interrupt
- bit 4 **INTE:** RB0/INT External Interrupt Enable bit
1 = Enables the RB0/INT external interrupt
0 = Disables the RB0/INT external interrupt
- bit 3 **RBIE:** RB Port Change Interrupt Enable bit
1 = Enables the RB port change interrupt
0 = Disables the RB port change interrupt
- bit 2 **T0IF:** TMR0 Overflow Interrupt Flag bit
1 = TMR0 register has overflowed (must be cleared in software)
0 = TMR0 register did not overflow
- bit 1 **INTF:** RB0/INT External Interrupt Flag bit
1 = The RB0/INT external interrupt occurred (must be cleared in software)
0 = The RB0/INT external interrupt did not occur
- bit 0 **RBIF:** RB Port Change Interrupt Flag bit
1 = At least one of the RB7:RB4 pins changed state (must be cleared in software)
0 = None of the RB7:RB4 pins have changed state
-

A tener en cuenta

- Interrupción -> asíncrona
- Necesario salvar contexto -> todo lo que se modifica
- Al menos el acumulador y los flags (STATUS)

```
PUSH  MOVWF  W_TEMP          ; Copy W to TEMP register,  
      SWAPF STATUS, W      ; Swap status to be saved into W  
      MOVWF STATUS_TEMP    ; Save status to STATUS_TEMP register  
ISR   :                    ;  
      :                    ; Interrupt Service Routine  
      :                    ; should configure Bank as required  
      :                    ;  
POP   SWAPF STATUS_TEMP,W  ; Swap nibbles in STATUS_TEMP register  
      ; and place result into W  
      MOVWF STATUS        ; Move W into STATUS register  
      ; (sets bank to original state)  
      SWAPF W_TEMP, F     ; Swap nibbles in W_TEMP and place result in W_TEMP  
      SWAPF W_TEMP, W     ; Swap nibbles in W_TEMP and place result into W
```

- “Llamada” a interrupción
 - Se desactiva automáticamente GIE -> no hay interrupciones anidadas
 - Al finalizar (RETFIE) se vuelve a activar sola
- Pila con sólo 8 niveles ¡¡cuidado con los desbordamientos!!

EEPROM

- 64 bytes de EEPROM (direcciones 0 a 3Fh)
- Accesible mediante los registros EECON1, EECON2, EEDATA, EEADR

Registro EECON1

U-0	U-0	U-0	R/W-0	R/W-x	R/W-0	R/S-0	R/S-0
—	—	—	EEIF	WRERR	WREN	WR	RD
bit 7					bit 0		

- bit 7-5 **Unimplemented:** Read as '0'
- bit 4 **EEIF:** EEPROM Write Operation Interrupt Flag bit
1 = The write operation completed (must be cleared in software)
0 = The write operation is not complete or has not been started
- bit 3 **WRERR:** EEPROM Error Flag bit
1 = A write operation is prematurely terminated
 (any MCLR Reset or any WDT Reset during normal operation)
0 = The write operation completed
- bit 2 **WREN:** EEPROM Write Enable bit
1 = Allows write cycles
0 = Inhibits write to the EEPROM
- bit 1 **WR:** Write Control bit
1 = Initiates a write cycle. The bit is cleared by hardware once write is complete. The WR bit
 can only be set (not cleared) in software.
0 = Write cycle to the EEPROM is complete
- bit 0 **RD:** Read Control bit
1 = Initiates an EEPROM read RD is cleared in hardware. The RD bit can only be set (not
 cleared) in software.
0 = Does not initiate an EEPROM read

- Lectura

- Dirección -> EEADR
- Activar bit RD en EECON1
- En el siguiente ciclo de reloj el dato aparece en EEDATA

EXAMPLE 3-1: DATA EEPROM READ

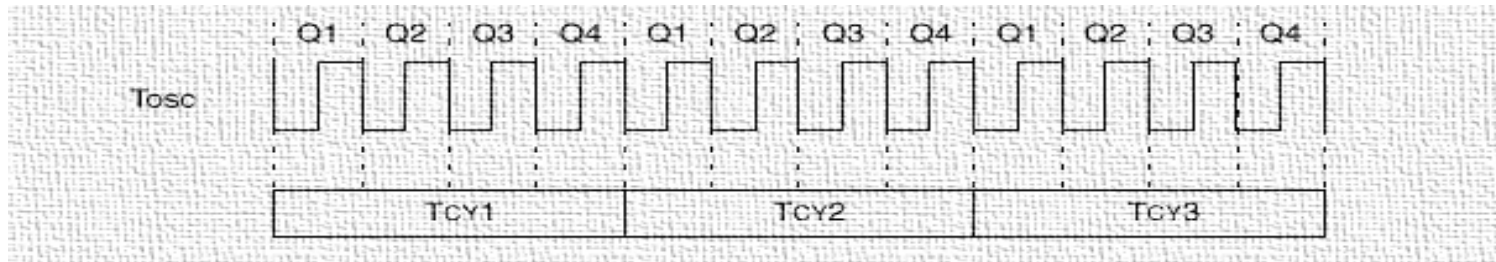
```
BCF      STATUS, RP0    ; Bank 0
MOVLW   CONFIG_ADDR    ;
MOVWF   EEADR           ; Address to read
BSF     STATUS, RP0    ; Bank 1
BSF     EECON1, RD     ; EE Read
BCF     STATUS, RP0    ; Bank 0
MOVF   EEDATA, W       ; W = EEDATA
```

- Escritura
 - Dirección -> EEADR
 - Dato -> EEDATA
 - 55h -> EECON2
 - AAh -> EECON2
 - Activar bit WR de EECON1 (se desactiva sólo al terminar escritura)
 - Escritura muy lenta -> esperar flag EEIF de intcon

EXAMPLE 3-2: DATA EEPROM WRITE

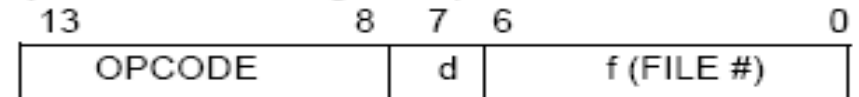
	BSF	STATUS, RP0	; Bank 1
	BCF	INTCON, GIE	; Disable INTs.
	BSF	EECON1, WREN	; Enable Write
	MOVLW	55h	;
Required Sequence	MOVWF	EECON2	; Write 55h
	MOVLW	AAh	;
	MOVWF	EECON2	; Write AAh
	BSF	EECON1, WR	; Set WR bit
			; begin write
	BSF	INTCON, GIE	; Enable INTs.

Instrucciones



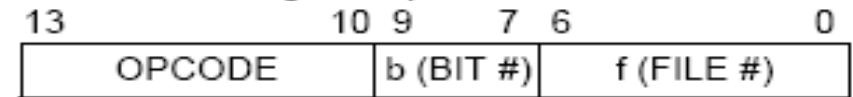
- Q1. Subciclo de decodificación de instrucción
- Q2. Subciclo de lectura de datos
- Q3. Proceso
- Q4. Subciclo de escritura de datos

Byte-oriented file register operations



d = 0 for destination W
 d = 1 for destination f
 f = 7-bit file register address

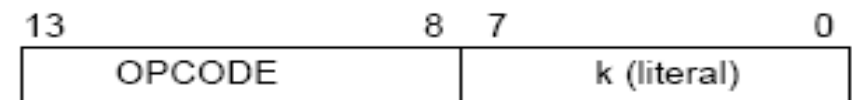
Bit-oriented file register operations



b = 3-bit bit address
 f = 7-bit file register address

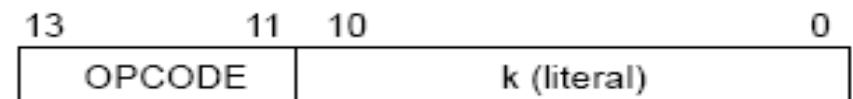
Literal and control operations

General



k = 8-bit immediate value

CALL and GOTO instructions only



k = 11-bit immediate value

Sintaxis de las instrucciones

Campo	Descripción
f	Nombre del registro comprendido ente las posiciones (0x00 a la 0x7F)
W	Registro de trabajo (Acumulador)
B	Número de bit de los 8 de un registro
K	Campo de un literal, dato constante o etiqueta
X	Valor indeterminado puede ser 0 ó 1
D	
Label	Nombre de etiqueta
TOS	Parte alta del Stack
PC	Contador de Programa
PCLATH	Latch parte alta del Contador de Programa
GIE	Bit de permiso global de interrupciones
WDT	Perro guardián (Watchdog Timer/Counter)
TO	Time-Out bit (Bit de tiempo fuera)
PD	Power-down bit (Bit de alimentación)
Dest	Destino
[]	Opciones
()	Contenido
	Asignación
◇	Campo de un bit de un registro
ε	En el conjunto de

Instrucciones que manejan registros

MNEMÓNICO	DESCRIPCIÓN	CÓDIGO OP	FLAGS AFECTADOS
Instrucciones Orientadas a Registros			
ADDWF f,d	W+f	00 0111 dfff ffff	C, DC, Z
ANDWF f,d	W AND f	00 0101 dfff ffff	Z
CLRF f	Borra el registro f	00 0001 1fff ffff	Z
CLRW	Borra el registro W	00 0001 0000 0011	Z
COMF f,d	Complemento de f	00 1001 dfff ffff	Z
DECF f,d	Decrementa f una unidad	00 0011 dfff ffff	Z
DECFSZ f,d	Decrementa f, y si es 0 salta	00 1011 dfff ffff	Ninguno
INCF f,d	Incrementa f una unidad	00 1010 dfff ffff	Z
INCFSZ f,d	Incrementa f, y si es 0 salta	00 1111 dfff ffff	Ninguno
IORWF f,d	W OR f	00 0100 dfff ffff	Z
MOVF f,d	Mueve f	00 1000 dfff ffff	Z
MOVWF f	Mueve W a f	00 0000 1fff ffff	Ninguno
NOP	No operación	00 0000 0xx0 0000	Ninguno
RLF f,d	Rota f a la izq a través del Carry	00 1101 dfff ffff	C
RRF f,d	Rota f a la dcha a través del Carry	00 1100 dfff ffff	C
SUBWF f,d	f - W	00 0010 dfff ffff	C,DC,Z
SWAPF f,d	intercambia los nibbles de f	00 1110 dfff ffff	Ninguno
XORWF f,d	W XOR f	00 0110 dfff ffff	Z

Instrucciones que manejan bits

MNEMÓNICO	DESCRIPCIÓN	CÓDIGO OP	FLAGS AFECTADOS
Instrucciones que manejan bits			
BCF f,b	Pone a 0 el bit b del registro f	01 00bb bfff ffff	Ninguno
BSF f,b	Pone a 1 el bit b del registro f	01 01bb bfff ffff	Ninguno

Instrucciones de salto

MNEMÓNICO	DESCRIPCIÓN	CÓDIGO OP	FLAGS AFECTADOS
Instrucciones de salto			
BTFSC f,b	Explora un bit de f y salta si vale 0	01 10bb bfff ffff	Ninguno
BTFSS f,b	Explora un bit de f y salta si vale 1	01 10bb bfff ffff	Ninguno
DECFSZ f,d	Decrementa f y si es 0, salta	00 1011 dfff ffff	Ninguno
INCFSZ f,d	Incrementa f y si es 1, salta	00 1111 dfff ffff	Ninguno

Instrucciones que manejan datos inmediatos

MNEMÓNICO	DESCRIPCIÓN	CÓDIGO OP	FLAGS AFECTADOS
Instrucciones que manejan operandos inmediatos			
ADDLW K	(W) + Literal --> (W)	11 111x kkkk kkkk	C,DC,Z
ANDLW K	(W) AND Literal --> (W)	11 1001 kkkk kkkk	Z
IORLW K	(W) OR Literal --> (W)	11 1000 kkkk kkkk	Z
MOVLW K	K --> (W)	11 00xx kkkk kkkk	Ninguno
SUBLW K	(W) - Literal --> (W)	11 110x kkkk kkkk	C,DC,Z
XORLW K	(W) XOR Literal --> (W)	11 1010 kkkk kkkk	Z

Instrucciones de control y especiales

MNEMÓNICO	DESCRIPCIÓN	CÓDIGO OP	FLAGS AFECTADOS
Instrucciones de control y especiales			
CALL K	Llamada a subrutina	10 0kkk kkkk kkkk	TO#, PD#
CLRWDT	Clear del temporizador del WD	00 0000 0110 0100	Ninguno
GOTO K	Go To dirección	10 1kkk kkkk kkkk	Ninguno
RETFIE	Retorno de una interrupción	00 0000 0000 1001	Ninguno
RETLW K	Retorno con un literal en W	11 01xx kkkk kkkk	Ninguno
RETURN	Retorno de una subrutina	00 0000 0000 1000	Ninguno
SLEEP	Modo Standby	00 0000 0110 0011	TO#, PD#

Instrucciones de movimiento de datos

MOVF		MOVF
Move f		
Operación	(f)	(dest)
Sintaxis	[Etiqueta] MOVF f,d	
Operadores	$0 \leq f \leq 31$ $d \in [0,1]$	
Palabras	1	
Ciclos	1	
Descripción	El contenido del registro f se carga en el registro destino dependiendo del valor de d . Si d=0 el destino es el registro W , si d=1 el destino es el propio registro f . Esta instrucción permite verificar dicho registro ya que el flag Z queda afectado.	

Status

PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
-	-	-	-	-	X	-	-

MOVLW		MOVLW
Move literal to W		
Operación	k (W)	
Sintaxis	[Etiqueta] MOVLW k	
Operadores	$0 \leq k \leq 255$	
Palabras	1	
Ciclos	1	
Descripción	El registro W se carga con el valor de 8 bits del literal k	

Status	PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
	-	-	-	-	-	X	-	-

CLRf		CLRf
Clear f		
Operación	00h f 1 Z	
Sintaxis	[Etiqueta] CLRf f	
Operadores	$0 \leq f \leq 127$	
Palabras	1	
Ciclos	1	
Descripción	Se borra el contenido del registro f y el flag Z se activa	

Status	PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
	-	-	-	-	-	1	-	-

CLR W		CLR W	
Clear W			
Operación	00h	(W)	
	1	Z	
Sintaxis	[Etiqueta] CLR W		
Operadores	No tiene		
Palabras	1		
Ciclos	1		
Descripción	El registro de trabajo W se carga con 00h. El flag Z se pone a 1		

Status

PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
-	-	-	-	-	1	-	-

CLRWDT		CLRWDT
Clear Watchdog Timer		
Operación	00h WDT 0 WDT preescaler 1 $\overline{T0}$ 1 \overline{PD}	
Sintaxis	[Etiqueta] CLRWDT	
Operadores	No tiene	
Palabras	1	
Ciclos	1	
Descripción	Se borra tanto el registro WDT (Watchdog) como su preescaler. Los bits T0 y PD del registro de estado se ponen a A1".	

Status

PA2	PA1	PA0	$\overline{T0}$	\overline{PD}	Z	DC	C
-	-	-	1	1	-	-	-

Instrucciones aritméticas

ADDWF		ADDWF
ADD W to F		
Operación	(W) + (f) (destino)	
Sintaxis	[Etiqueta] ADDWF f,d	
Operadores	$0 \leq f \leq 127$ d 0 [0,1]	
Palabras	1	
Ciclos	1	
Descripción	Añade el contenido del registro W al contenido del registro f , y almacena el resultado en W si $d = 0$, y en el registro f si $d = 1$.	

Status	PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
	-	-	-	-	-	X	X	X

ADDLW		ADDLW
ADD Literal to W		
Operación	$(W) + k \quad (W)$	
Sintaxis	[Etiqueta] ADDLW k	
Operadores	$0 \leq k \leq 255$	
Cod. Oper.	0001 11df ffff	
Palabras	1	
Ciclos	1	
Descripción	<p>Añade el contenido del registro W al literal k, y almacena el resultado en W.</p> <p>Nota.- Esta instrucción no existe en el PIC 16C5X</p>	

Status	PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
	-	-	-	-	-	X	X	X

SUBWF		SUBWF
Subtract W from f		
Operación	(f) - (W) (dest)	
Sintaxis	[Etiqueta] SUBW f,d	
Operadores	$0 \leq f \leq 31$ $d \in [0,1]$	
Palabras	1	
Ciclos	1	
Descripción	Resta en complemento a dos el contenido del registro f menos el contenido del registro W almacena el resultado en W si d=0 y en f si d=1 .	

Status	PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
	-	-	-	-	-	X	X	X

SUBLW		SUBLW
Subtract W from Literal		
Operación	$k - (W) \quad (W)$	
Sintaxis	[Etiqueta] SUBLW k	
Operadores	$0 \leq k \leq 255$	
Palabras	1	
Ciclos	1	
Descripción	Resta en complemento a dos el contenido del literal k el contenido del registro W , y almacena el resultado en W .	

Status	PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
	-	-	-	-	-	X	X	X

INCF		INCF	
Increment f			
Operación	(f) + 1 (dest)		
Sintaxis	[Etiqueta] INCF f,d		
Operadores	$0 \leq f \leq 127$ $d \in [0,1]$ (f) + 1 (dest)		
Palabras	1		
Ciclos	1		
Descripción	Se incrementa en una unidad el contenido del registro f , si d=1 el resultado se almacena en f , si d= 0 el resultado se almacena en W , en este caso el resultado de f no varía.		

Status

PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
-	-	-	-	-	X	-	-

DECF		DECF	
Decrement f			
Operación	(f)-1 --> (dest)		
Sintaxis	[Etiqueta] DECF f,d		
Operadores	$0 \leq f \leq 127$ $d \in [0,1]$		
Palabras	1		
Ciclos	1		
Descripción	Se decrementa el contenido del registro f en una unidad. El resultado se almacena en f si d=1 y en W si d=0 , en este caso f no varía.		

Status

PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
-	-	-	-	-	X	-	-

Instrucciones lógicas

ANDWF	ANDWF
AND W wind F	
Operación	(W) AND (f) ----> (destino)
Sintaxis	[Etiqueta] ANDWF f,d
Operadores	$0 \leq f \leq 127$ $d \in \{0,1\}$
Palabras	1
Ciclos	1
Descripción	Efectúa la operación AND lógico entre el contenido del registro W y el contenido del registro f , y almacena el resultado en W si d = 0 , y en f si d = 1 .

Status

PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
-	-	-	-	-	X	-	-

ANDLW		ANDLW	
AND Literal and W			
Operación	(W).AND. (k) (W)		
Sintaxis	[Etiqueta] ANDLW k		
Operadores	$0 \leq f \leq 255$		
Palabras	1		
Ciclos	1		
Descripción	Efectúa la operación AND lógico entre el contenido del registro W y el literal k , y almacena el resultado en W .		

Status	PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
	-	-	-	-	-	X	-	-

IORWF		IORWF
Inclusive OR W with f		
Operación	(W) .OR.(f) (dest)	
Sintaxis	[Etiqueta] IORWF f,d	
Operadores	$0 \leq f \leq 31$ $d \in [0,1]$	
Palabras	1	
Ciclos	1	
Descripción	Efectúa la operación lógica OR entre el contenido del registro W y el contenido del registro f , y almacena el resultado en f si d=1 y en W si d=0 .	

Status

PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
-	-	-	-	-	X	-	-

IORLW		IORLW
Inclusive OR Literal with W		
Operación	$(W).OR.k$ (W)	
Sintaxis	[Etiqueta] IORLW k	
Operadores	$0 \leq k \leq 255$	
Palabras	1	
Ciclos	1	
Descripción	Se realiza la operación lógica OR entre el registro W y el literal k . El resultado se almacena en el registro W .	

Status	PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
	-	-	-	-	-	X	-	-

XORWF		XORWF
Exclusive OR With f		
Operación	(W).XOR.(f) (des)	
Sintaxis	[Etiqueta] XORWF f,d	
Operadores	$0 \leq f \leq 127$ $d \in [0,1]$	
Palabras	1	
Ciclos	1	
Descripción	Realiza la función OR-Exclusiva entre el contenido del registro W y el contenido del registro f , y almacena el resultado en f si d=1 y en W si d=0	

Status

PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
-	-	-	-	-	X	-	-

XORLW		XORLW
Exclusive OR Literal With k		
Operación	$(W).XOR.k \quad (W)$	
Sintaxis	[Etiqueta] XORLW k	
Operadores	$0 \leq f \leq 255$	
Palabras	1	
Ciclos	1	
Descripción	Realiza la función OR-Exclusiva entre el contenido del registro W y la constante k de 8 bits. El resultado se almacena en W	

Status	PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
	-	-	-	-	-	X	-	-

COMF		COMF
Complement f		
Operación	\bar{f} (dest)	
Sintaxis	[Etiqueta] COMF f,d	
Operadores	$0 \leq f \leq 127$ d 0 [0,1]	
Palabras	1	
Ciclos	1	
Descripción	Hace el complemento del contenido del registro f bit a bit. El resultado se almacena en el registro f si d = 1 y en el registro W si d = 0, en este caso f no varía.	

Status	PA2	PA1	PA0	\bar{TO}	\bar{PD}	Z	DC	C
	-	-	-	-	-	X	-	-

RETURN		RETURN
Return from Subroutine		
Operación	TOS PC	
Sintaxis	[Etiqueta] RETURN	
Operadores	No tiene	
Palabras	1	
Ciclos	2	
Descripción	Retorno de subrutina PC = TOS	

Status	PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
	-	-	-	-	-	-	-	-

SLEEP		SLEEP	
Sleep			
Operación	00h	WDT	
	0	WDT prescaler	
	1	\overline{TO}	
	0	\overline{PD}	
Sintaxis	[Etiqueta] SLEEP		
Operadores	No tiene		
Palabras	1		
Ciclos	1		
Descripción	Pone al circuito en modo Sleep con parada del oscilador.		

Status	PA2	PA1	PA0	\overline{TO}	\overline{PD}	Z	DC	C
	-	-	-	1	0	-	-	-

TO Se pone a 1 al ejecutar la instrucción SLEEP o CLRWDT

PD Se pone a 0 al ejecutar la instrucción SLEEP

