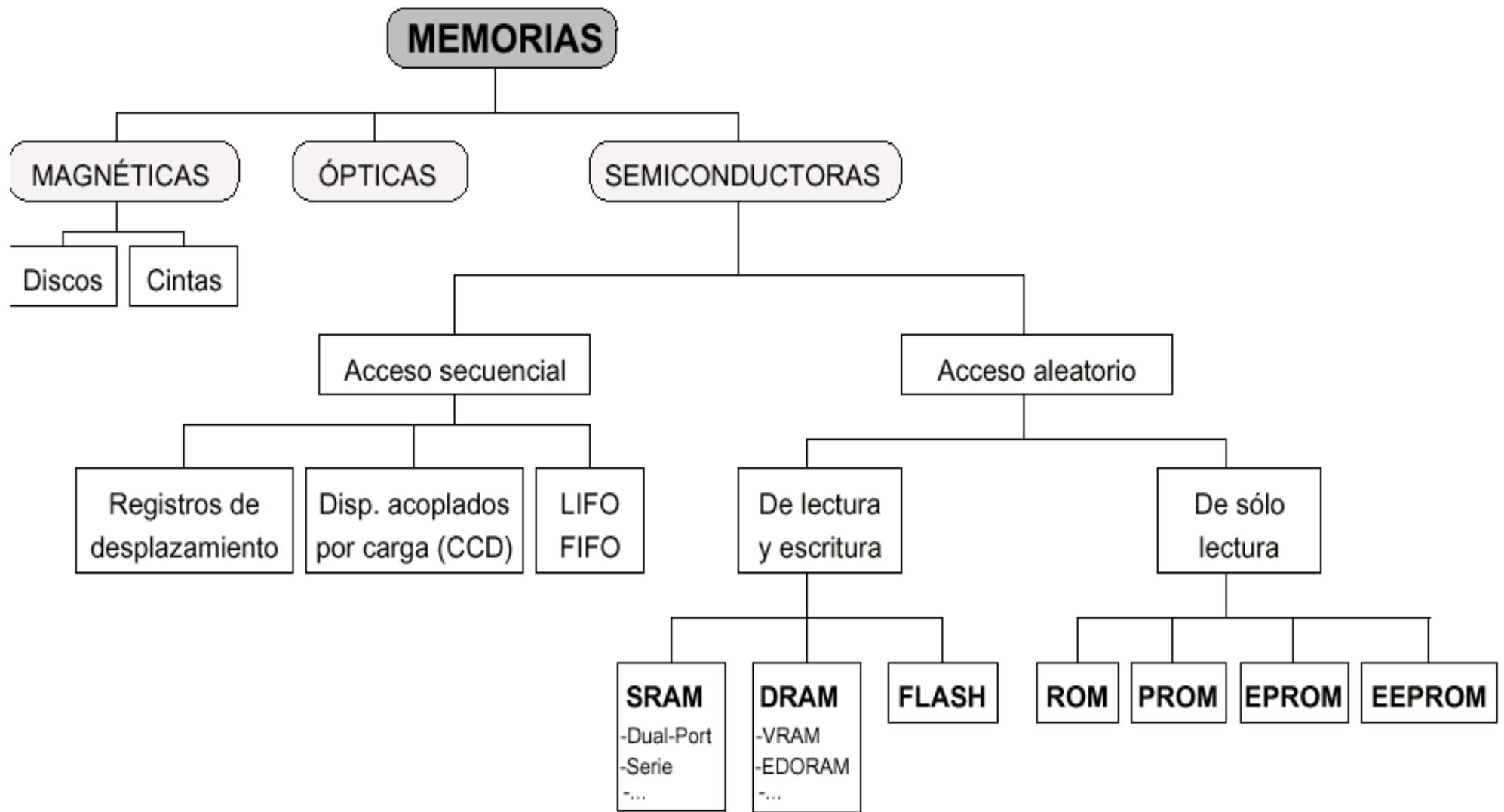


Clasificación de memorias

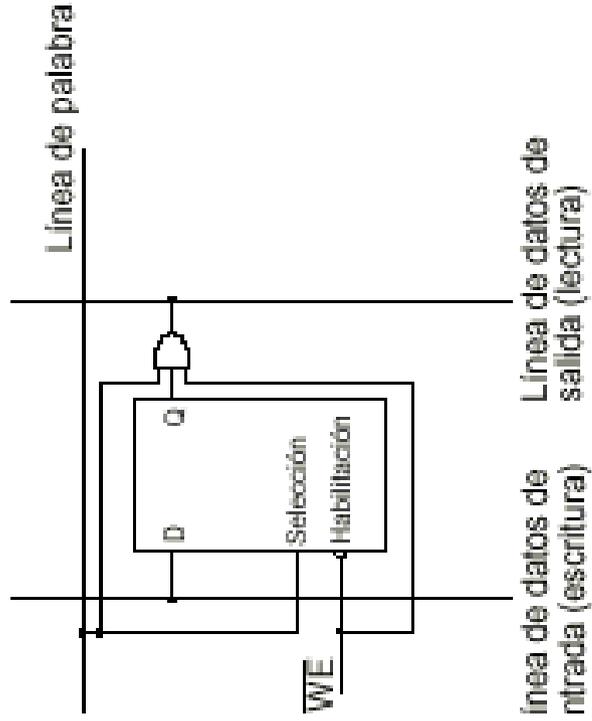


Características de las memorias semiconductoras de acceso aleatorio

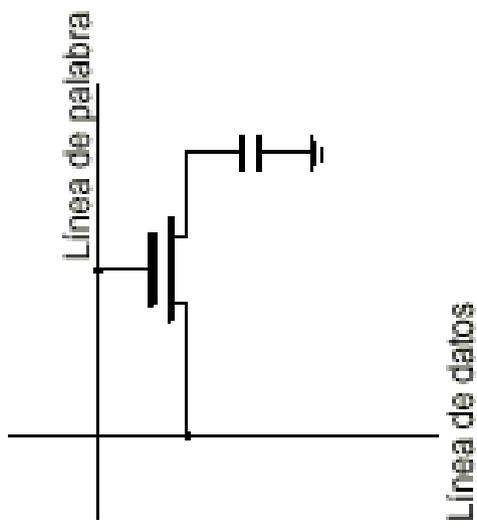


Celdas básicas de las memorias semiconductoras

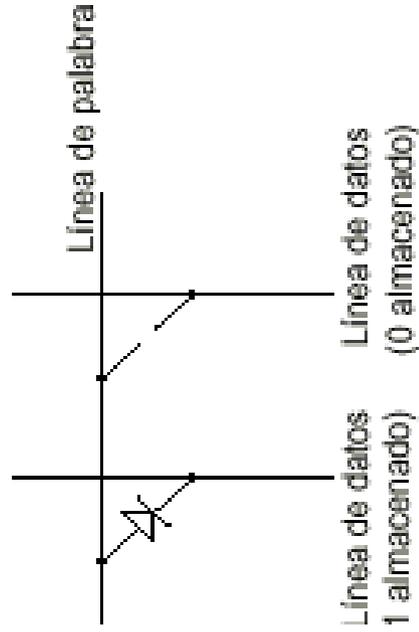
SRAM



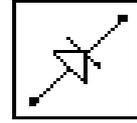
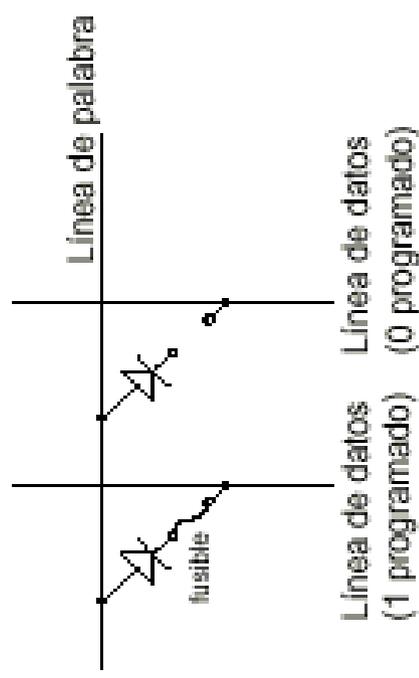
DRAM



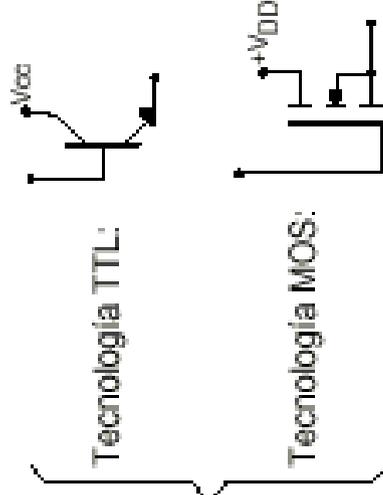
ROM



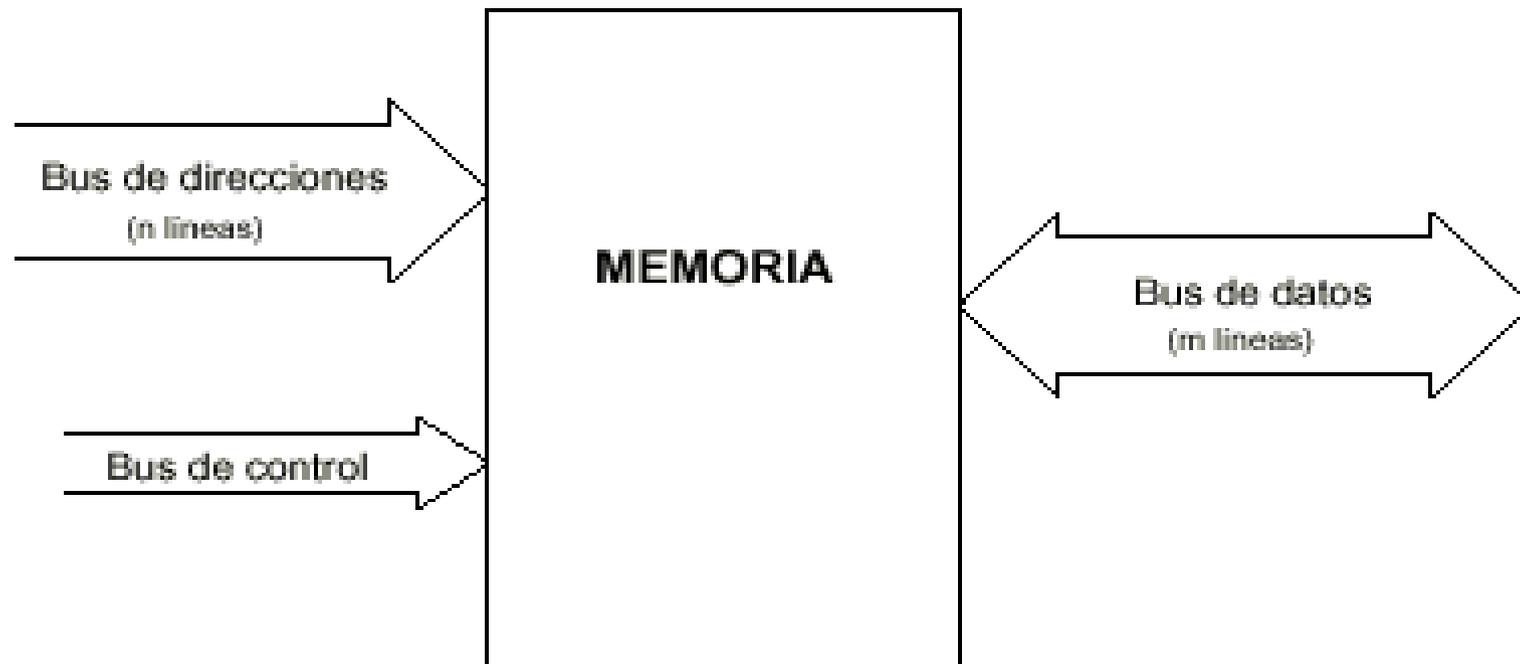
PROM



equivalente a:



Organización y capacidad de una memoria



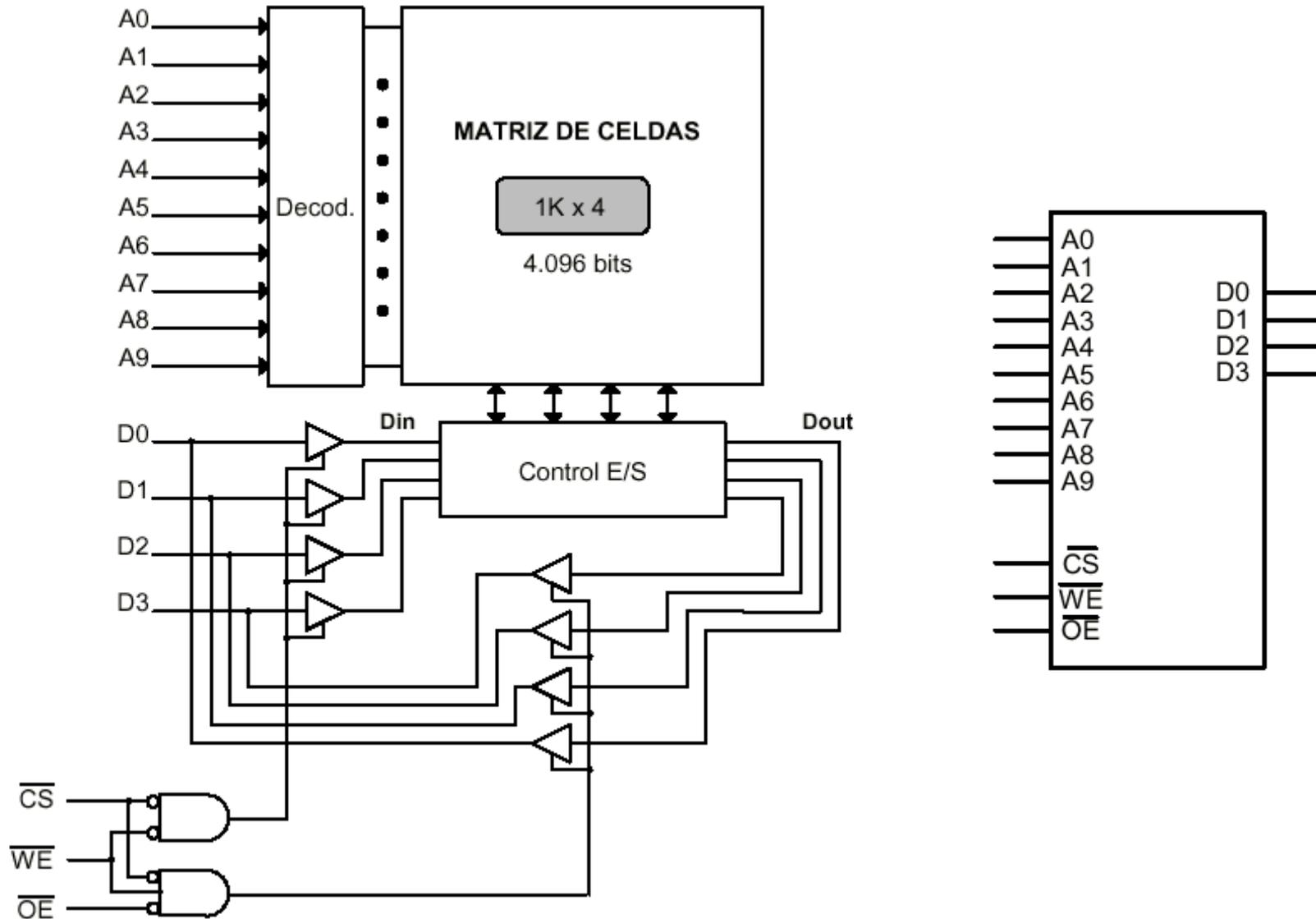
Nº de palabras: 2^n

Bits/palabra: m



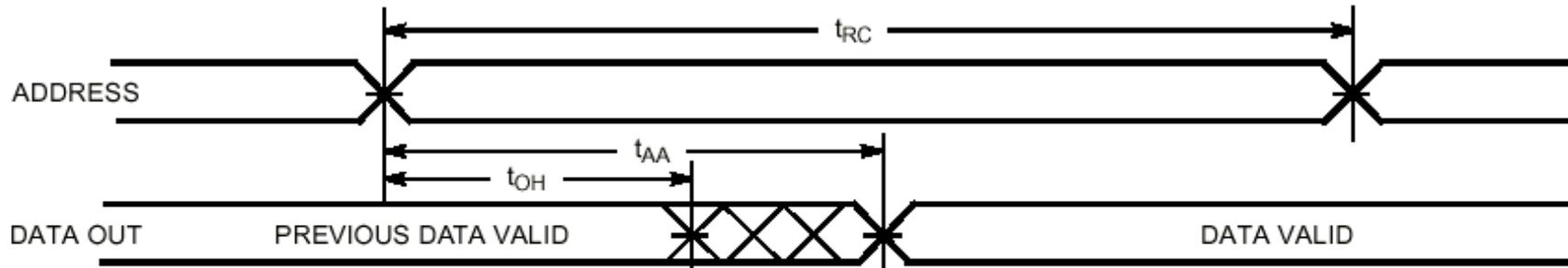
Organización: $2^n \times m$ bits

Estructura interna de una memoria RAM estática



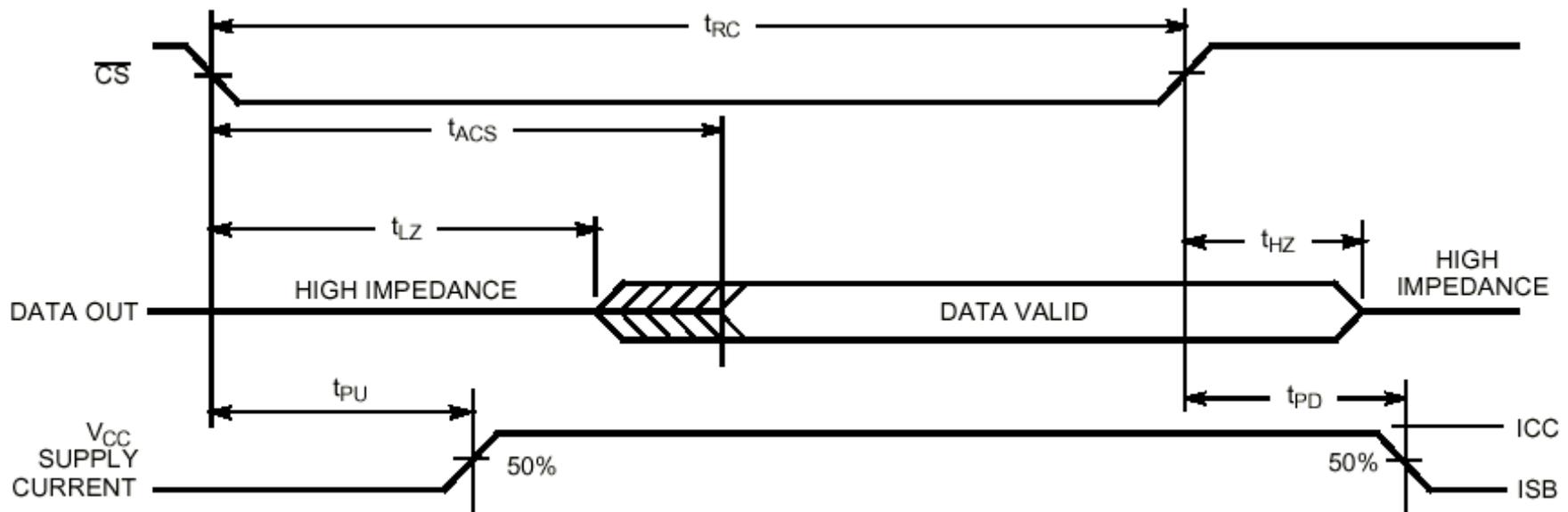
Ciclos de lectura (Memoria RAM estática CY7C148)

Read Cycle No.1 [10,11]



C148-6

Read Cycle No. 2 [10,12]



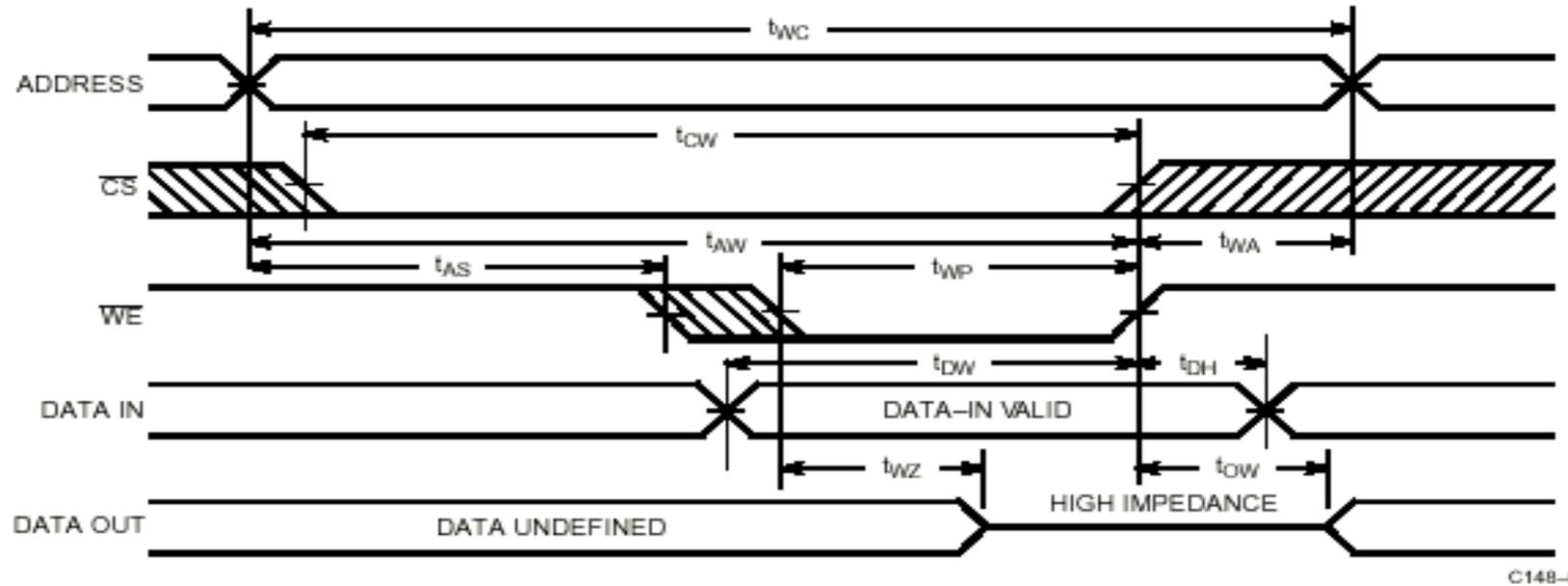
C148-7

Notes:

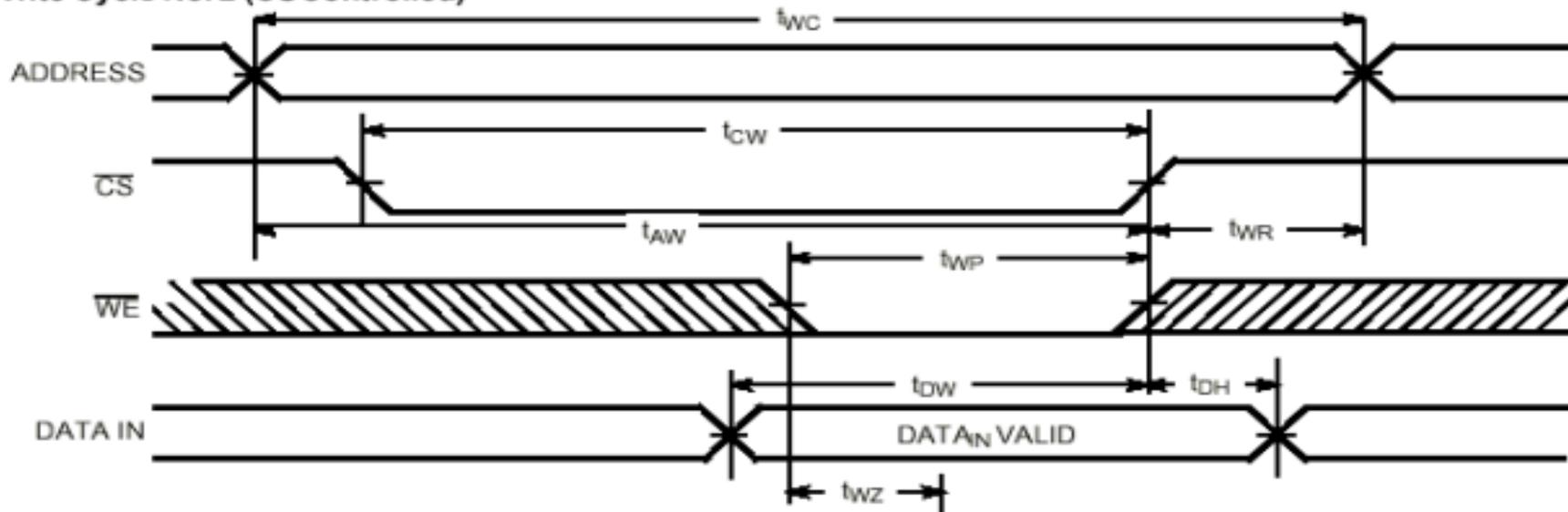
10. \overline{WE} is HIGH for read cycle.
11. Device is continuously selected, $\overline{CS} = V_{IL}$.
12. Address valid prior to or coincident with \overline{CS} transition LOW.

Ciclos de escritura (Memoria RAM estática CY7C148)

Write Cycle No. 1 (\overline{WE} Controlled)



Write Cycle No. 2 (\overline{CS} Controlled)^[13]



Características temporales de la memoria

Switching Characteristics Over the Operating Range^[2]

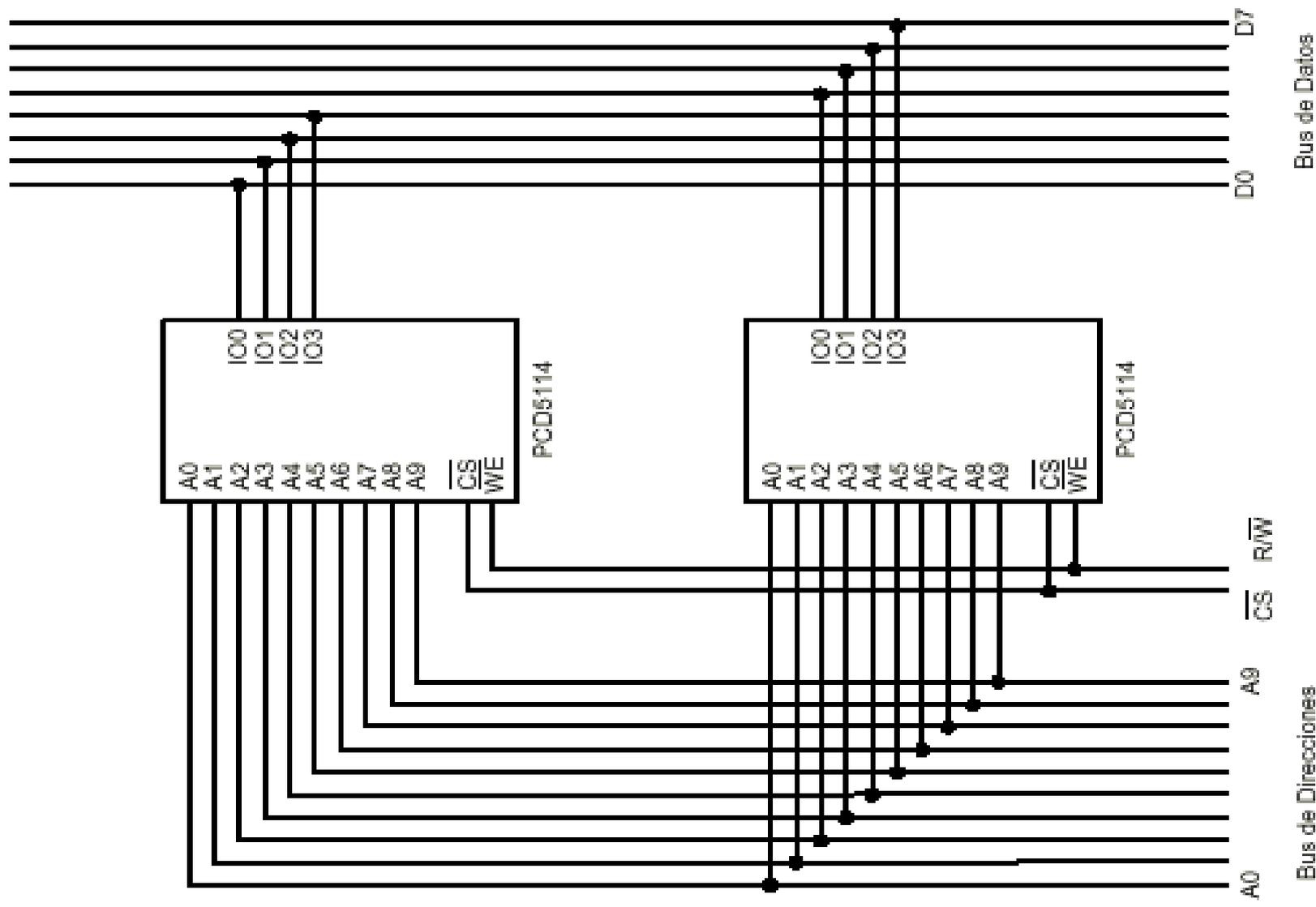
Parameter	Description	7C148-25 7C149-25		7C148-35 7C149-35		7C148-45 7C149-45		Unit	
		Min.	Max.	Min.	Max.	Min.	Max.		
READ CYCLE									
t_{RC}	Address Valid to Address Do Not Care Time (Read Cycle Time)	25		35		45		ns	
t_{AA}	Address Valid to Data Out Valid Delay (Address Access Time)		25		35		45	ns	
t_{ACS1} t_{ACS2}	Chip Select LOW to Data Out Valid (7C148 only)		25 ^[6]		35		45	ns	
			30 ^[7]		35		45	ns	
t_{ACS}	Chip Select LOW to Data Out Valid (7C149 only)		15		15		20	ns	
$t_{LZ}^{[8]}$	Chip Select LOW to Data Out On	7C148	8		10		10	ns	
		7C149	5		5		5	ns	
$t_{HZ}^{[8]}$	Chip Select HIGH to Data Out Off		0	15	0	20	0	20	ns
t_{OH}	Address Unknown to Data Out Unknown Time		0		0		5	ns	
t_{PD}	Chip Select HIGH to Power-Down Delay	7C148		20		30		30	ns
t_{PU}	Chip Select LOW to Power-Up Delay	7C148	0		0		0	ns	
WRITE CYCLE									
t_{WC}	Address Valid to Address Do Not Care (Write Cycle Time)		25		35		45	ns	
$t_{WP}^{[9]}$	Write Enable LOW to Write Enable HIGH		20		30		35	ns	
t_{WR}	Address Hold from Write End		5		5		5	ns	
$t_{WZ}^{[8]}$	Write Enable to Output in High Z		0	8	0	8	0	8	ns
t_{DW}	Data in Valid to Write Enable HIGH		12		20		20	ns	
t_{DH}	Data Hold Time		0		0		0	ns	
t_{AS}	Address Valid to Write Enable LOW		0		0		0	ns	
$t_{CW}^{[9]}$	Chip Select LOW to Write Enable HIGH		20		30		40	ns	
$t_{OW}^{[8]}$	Write Enable HIGH to Output in Low Z		0		0		0	ns	
t_{AW}	Address Valid to End of Write		20		30		35	ns	

Notes:

- Chip deselected greater than 25 ns prior to selection.
- Chip deselected less than 25 ns prior to selection.
- At any given temperature and voltage condition, t_{HZ} is less than t_{LZ} for all devices. Transition is measured ± 500 mV from steady-state voltage with specified loading in part (b) of AC Test Loads.
- The internal write time of the memory is defined by the overlap of \overline{CS} LOW and \overline{WE} LOW. Both signals must be LOW to initiate a write and either signal can terminate a write by going high. The data input set-up and hold timing should be referenced to the rising edge of the signal that terminates the write.

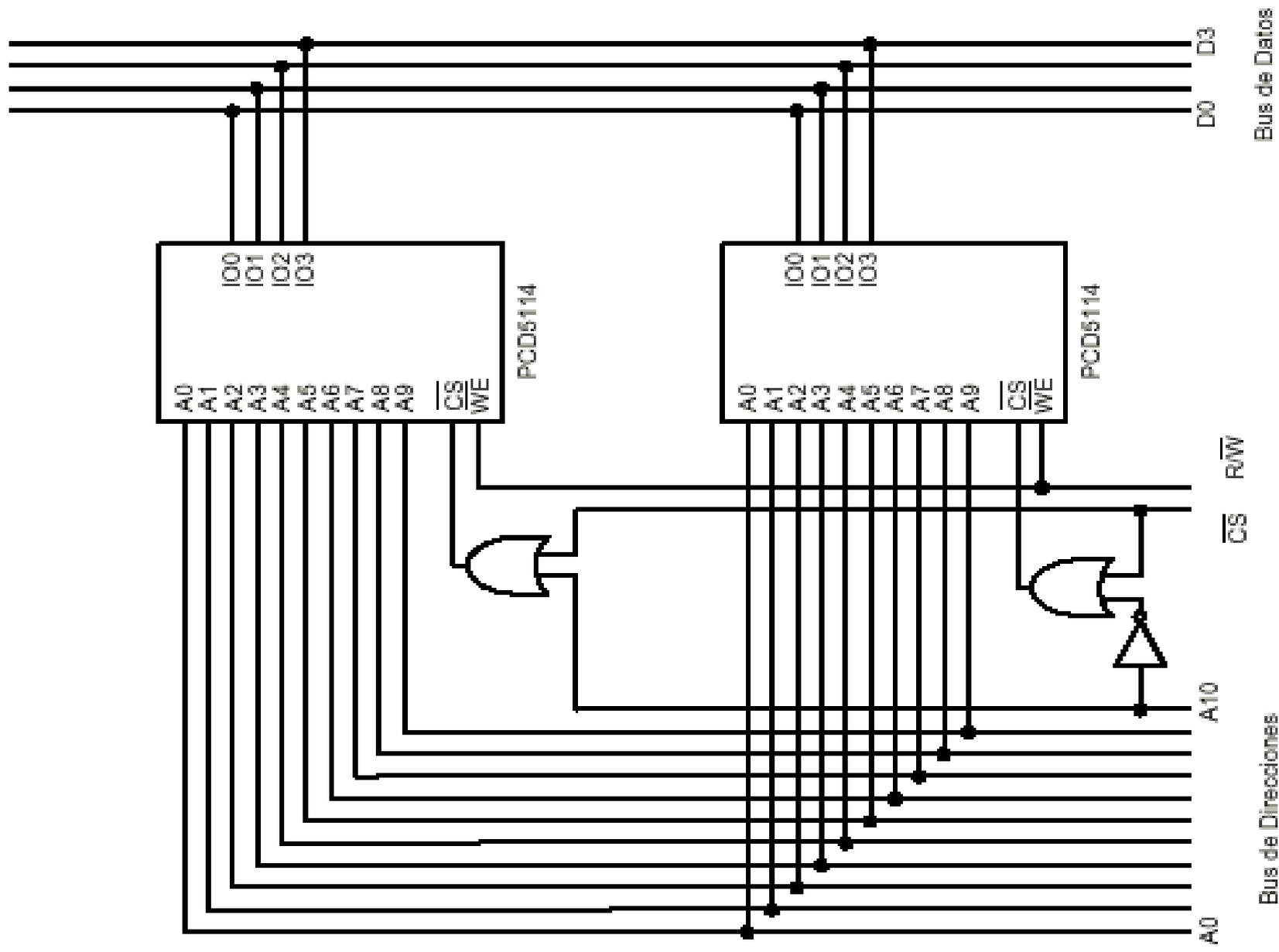
Ampl. de la longitud de palabra de una memoria

2 chips PCD5114 (1k x 4) → Memoria 1k x 8



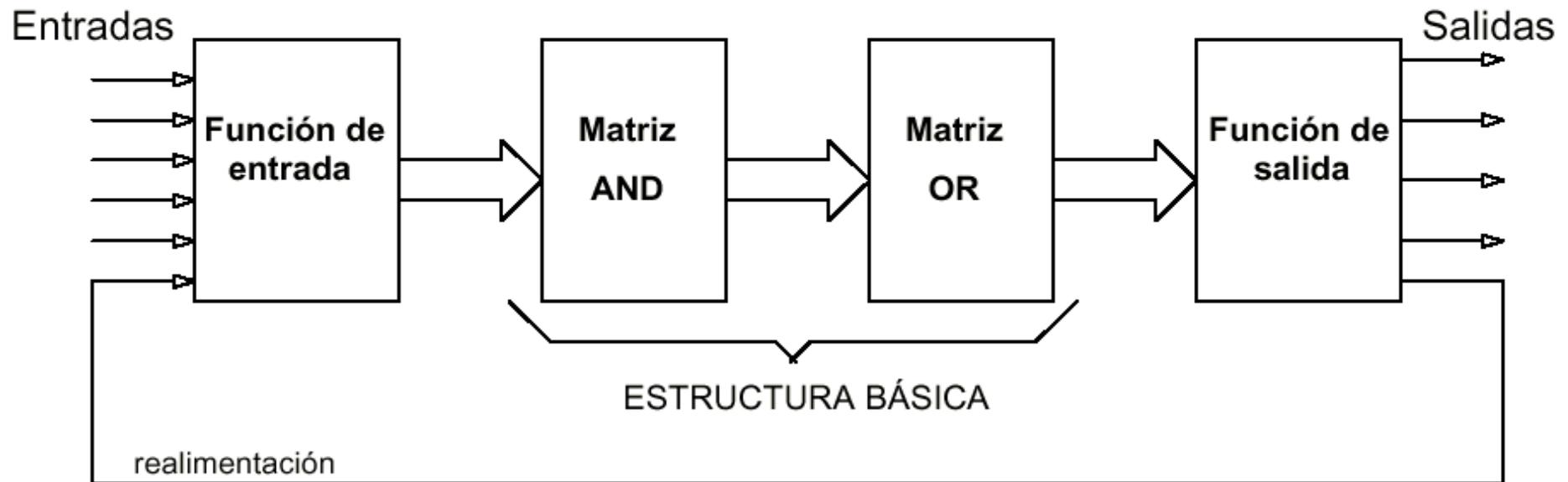
Ampl. del número de palabras de una memoria

2 chips PCD5114 (1k x 4) → Memoria 2k x 4



Dispositivos de Lógica Programable (PLDs)

Estructura general de un PLD



Tipos:

PROM

PAL – GAL (SPLD)

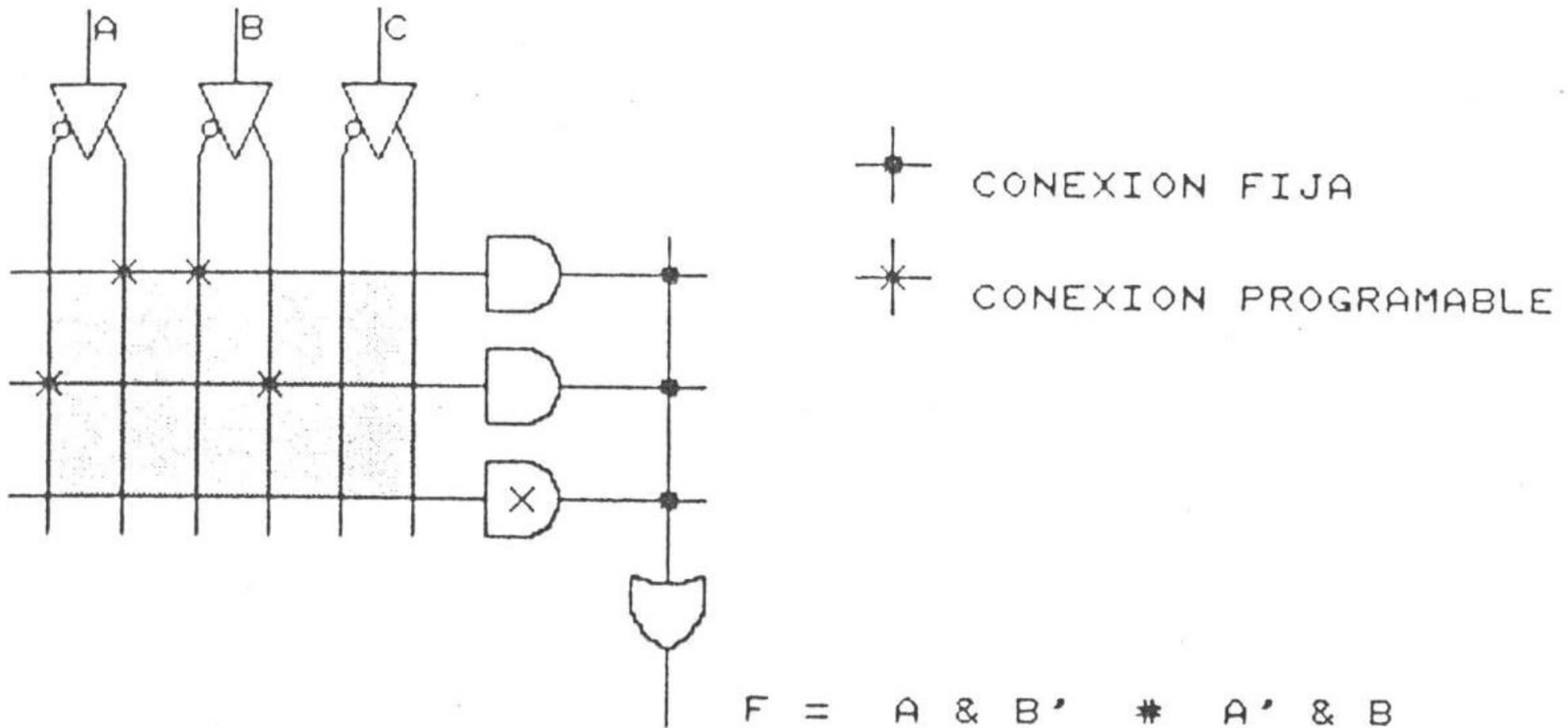
CPLD

FPGA-PLA

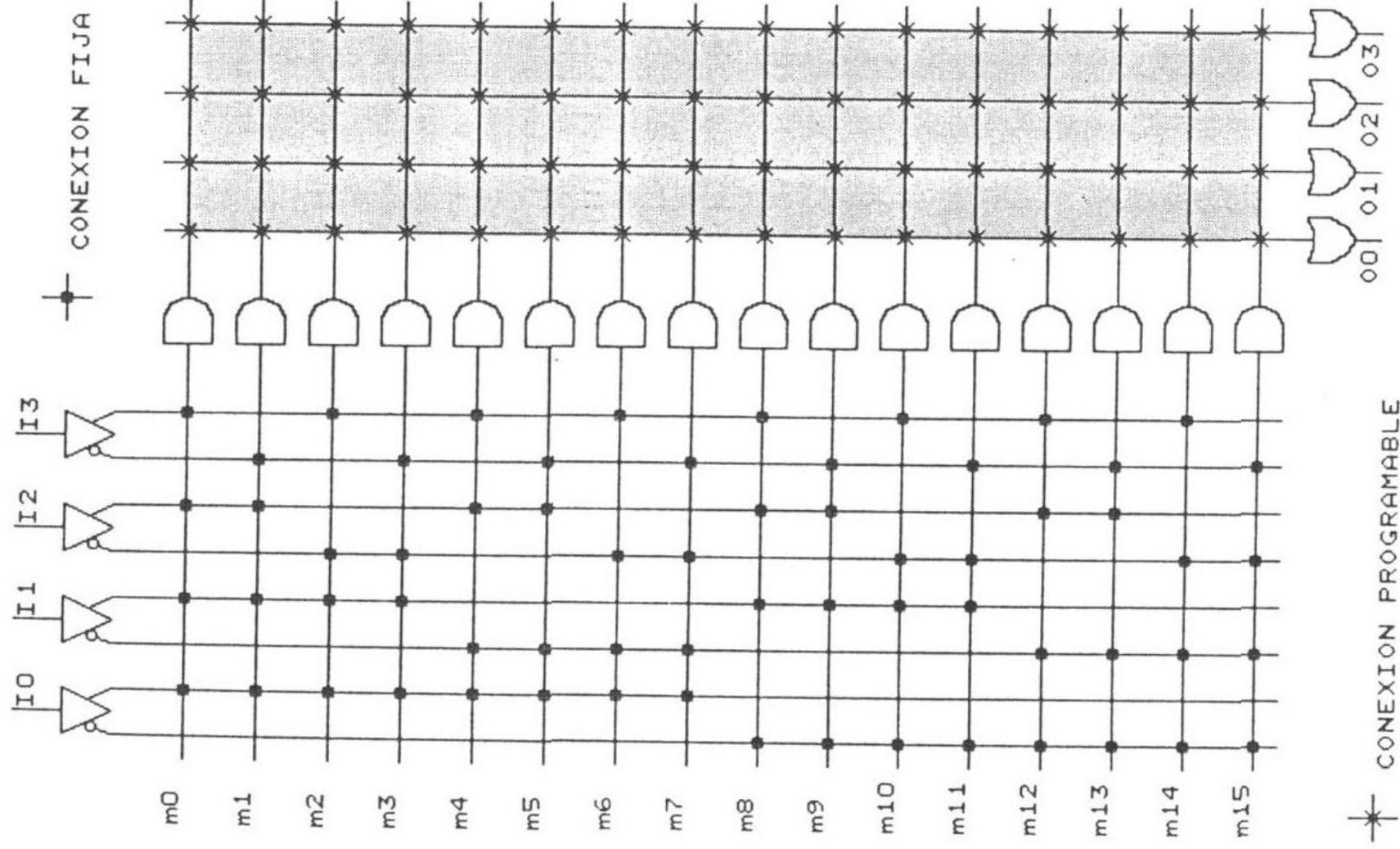
Aplicaciones típicas

- SPLDs
 - Decodificación
 - Autómatas
 - Integración de sistema SSI
- CPLDs
 - Subsistemas de E/S, lógica de alta velocidad, periféricos, etc.
 - Decodificación más compleja
 - Integración de varios SPLDs
- FPGAs
 - Subsistemas digitales complejos (compresión de datos, encriptación, protocolos de comunicaciones, DSP)
 - Circuitos con gran uso de registros
 - Realización de prototipos para ASICs

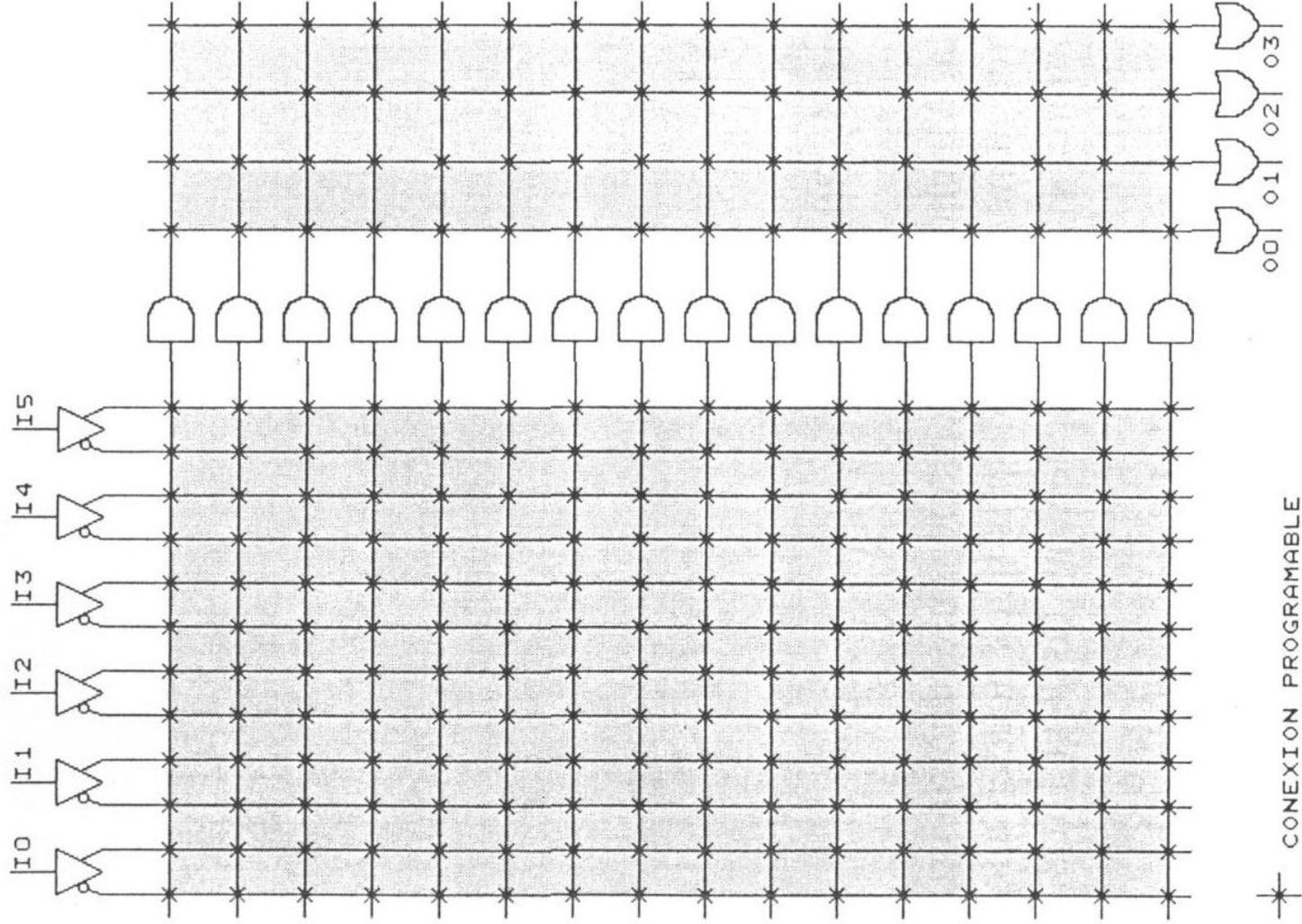
Realización de una función lógica con un PLD



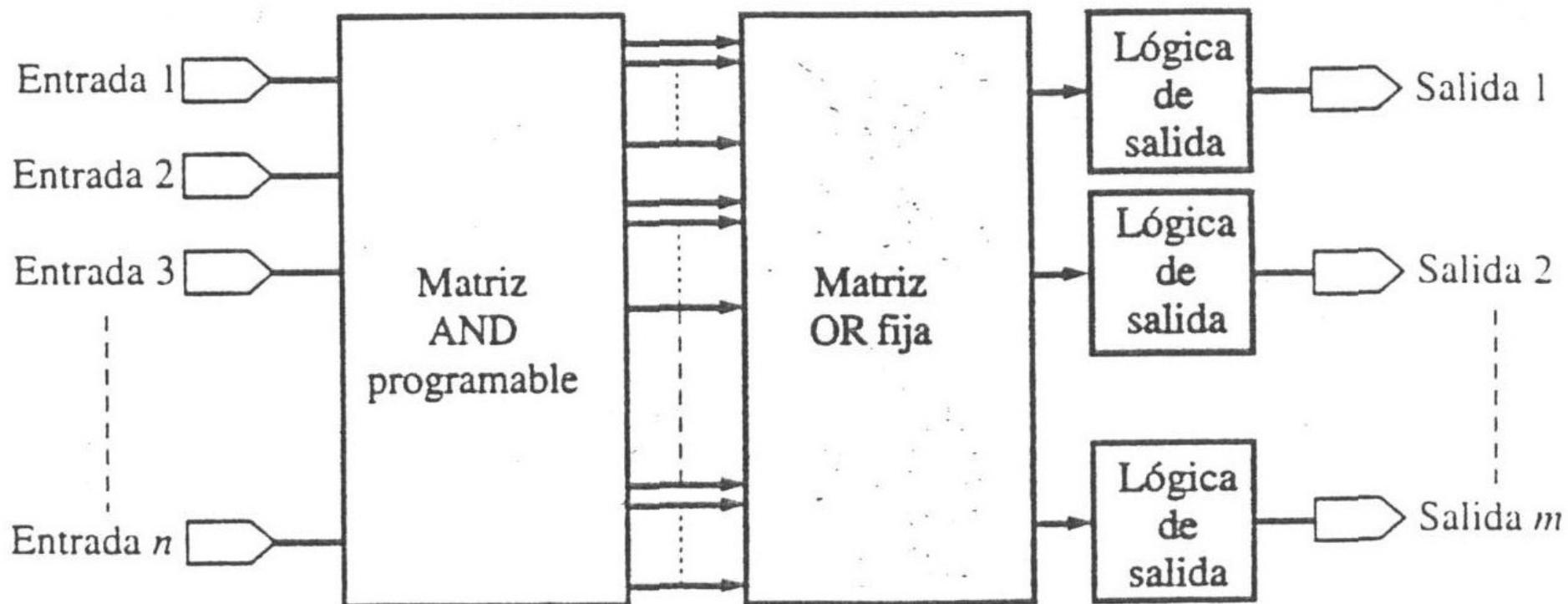
PROM

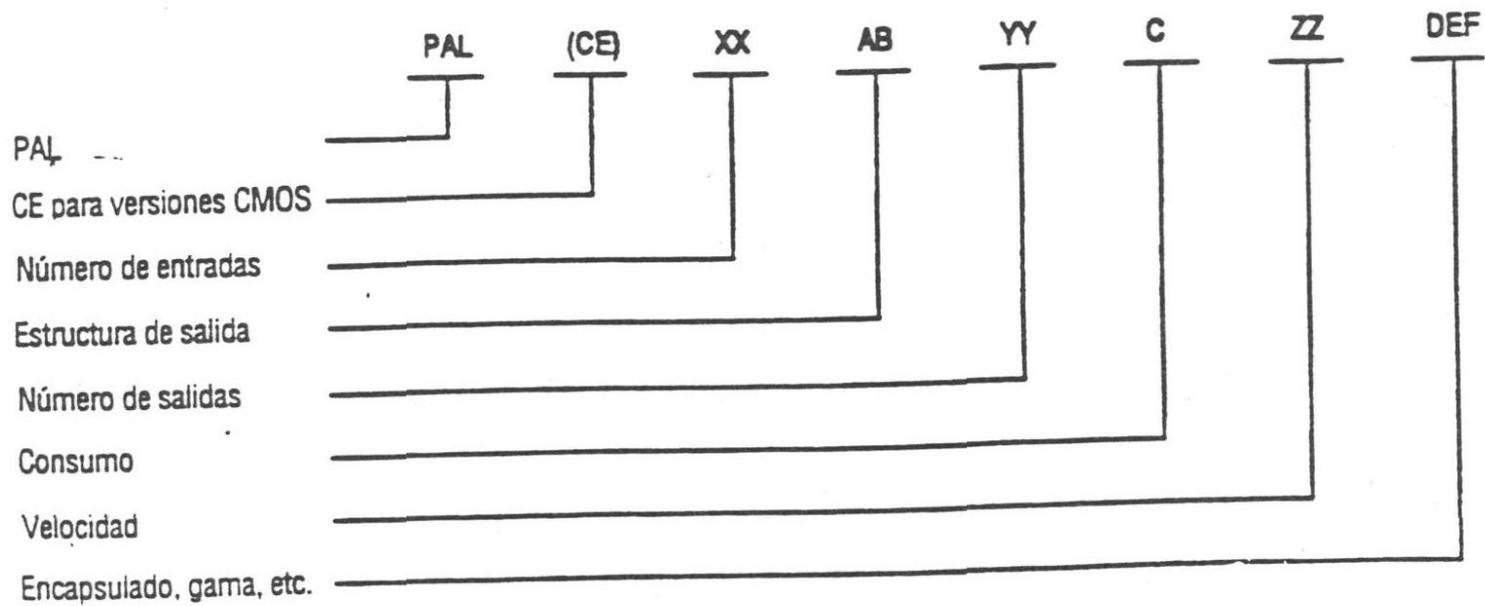


FPLA



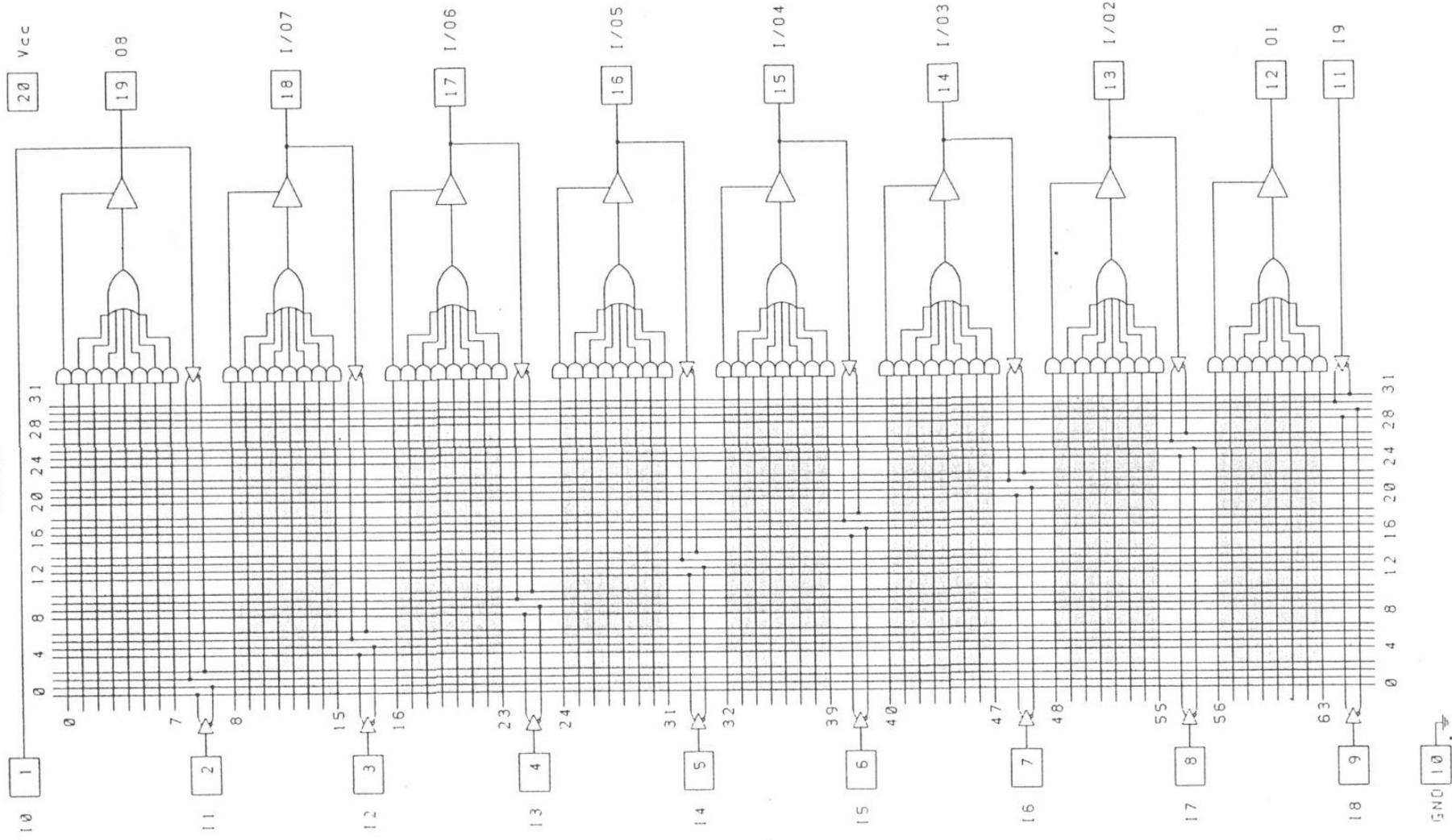
Estructura de una una PAL



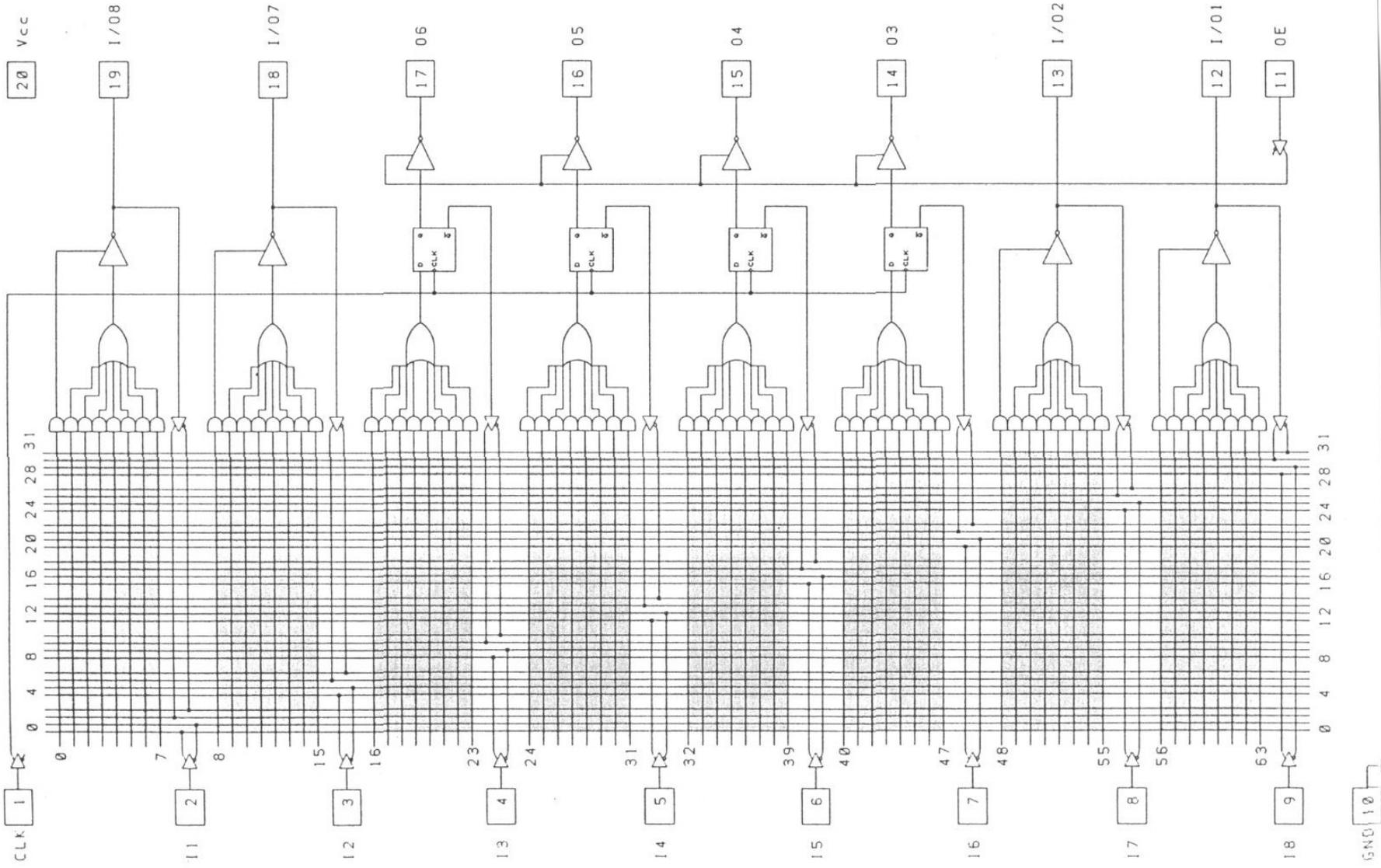


Letra(s) código(s)	Estructura de salida
L	Combinatoria activo bajo
H	Combinatoria activo alto
R	Registro
RA	Registro asíncrono
X	Registro de 0 exclusivo
V	Versátil

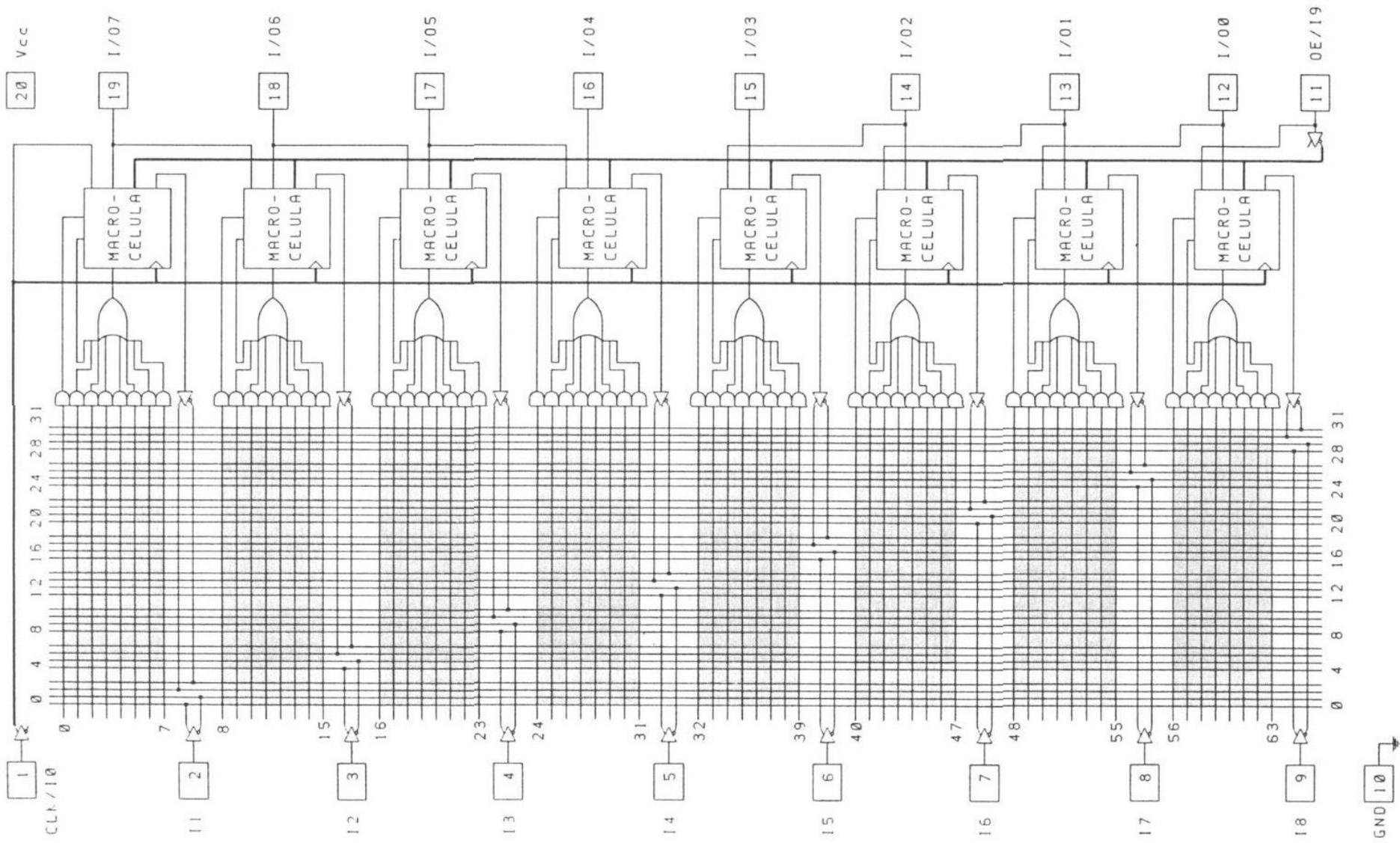
16H8



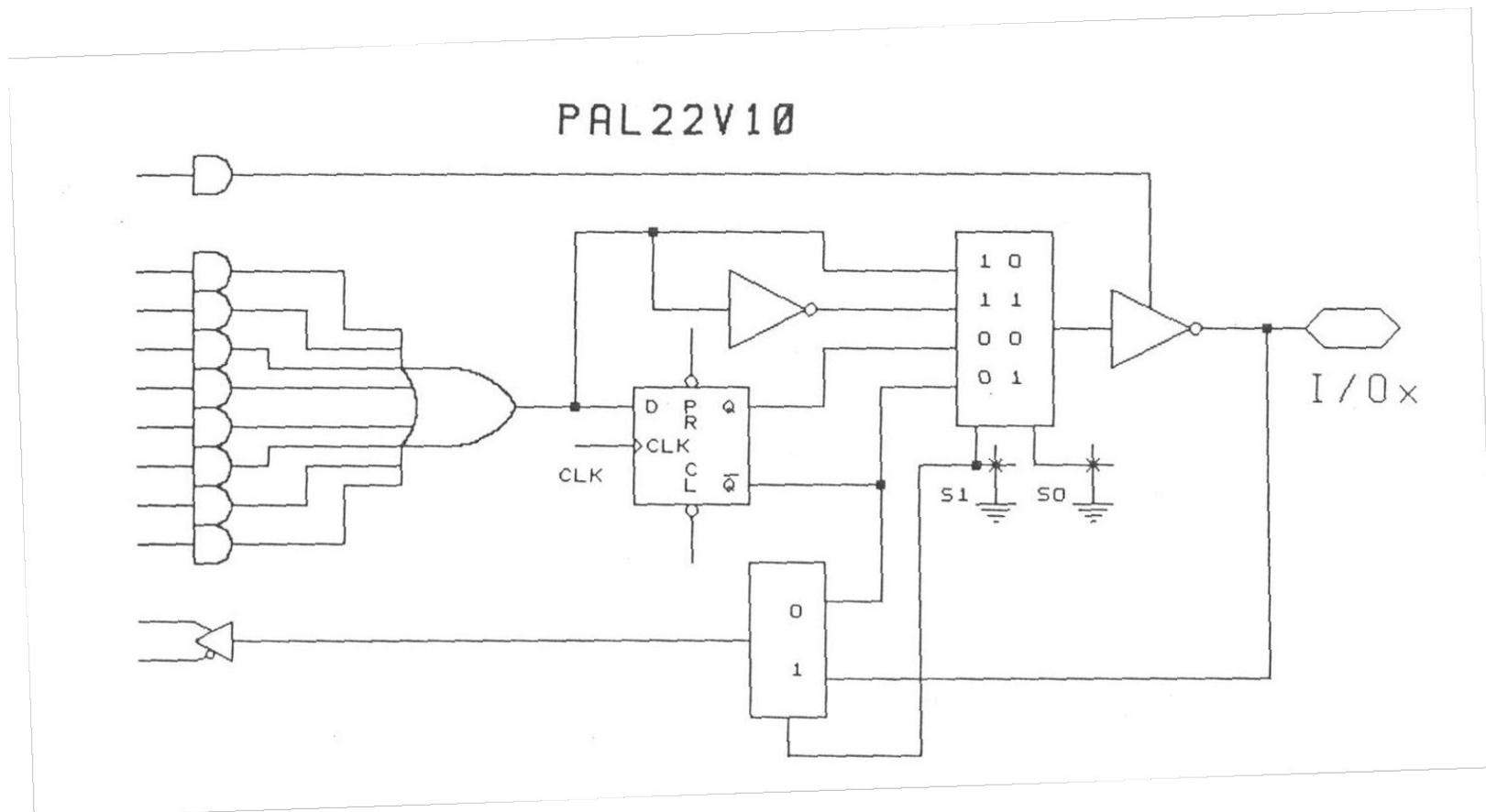
16R4



16V8



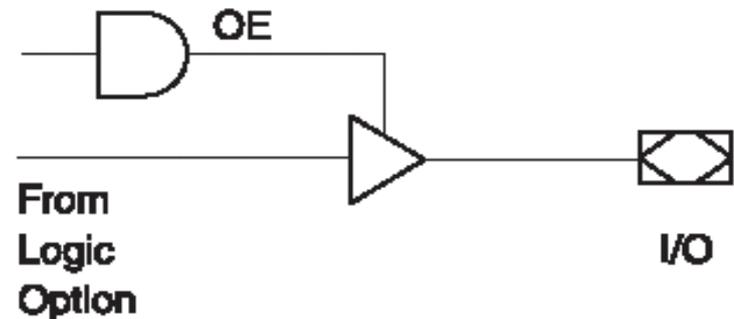
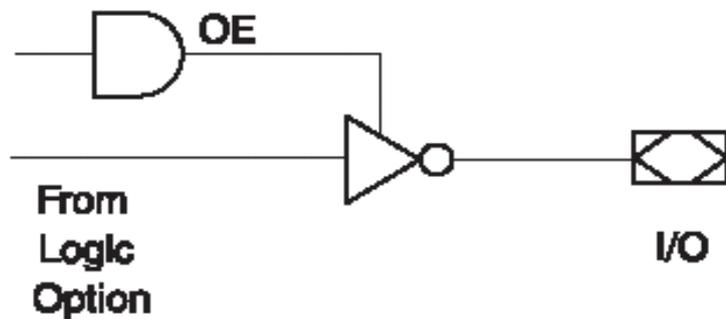
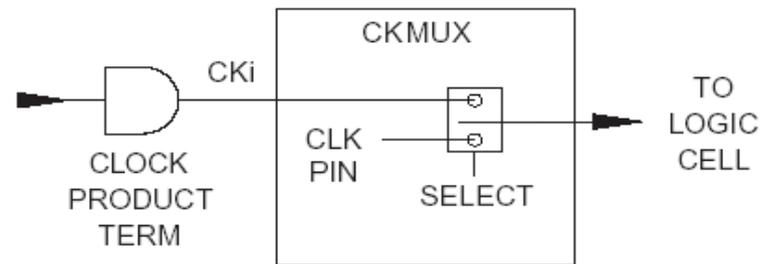
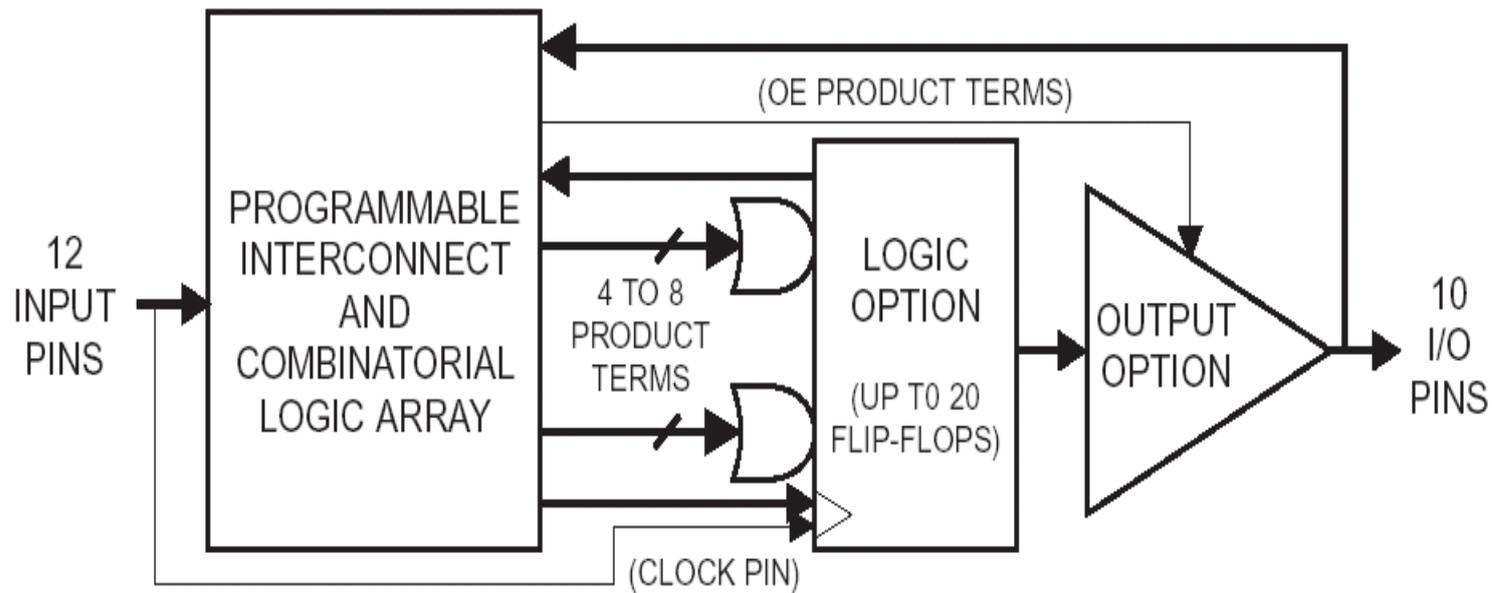
Estructura de la macrocélula en una PAL22V10



ATMEL ATF750

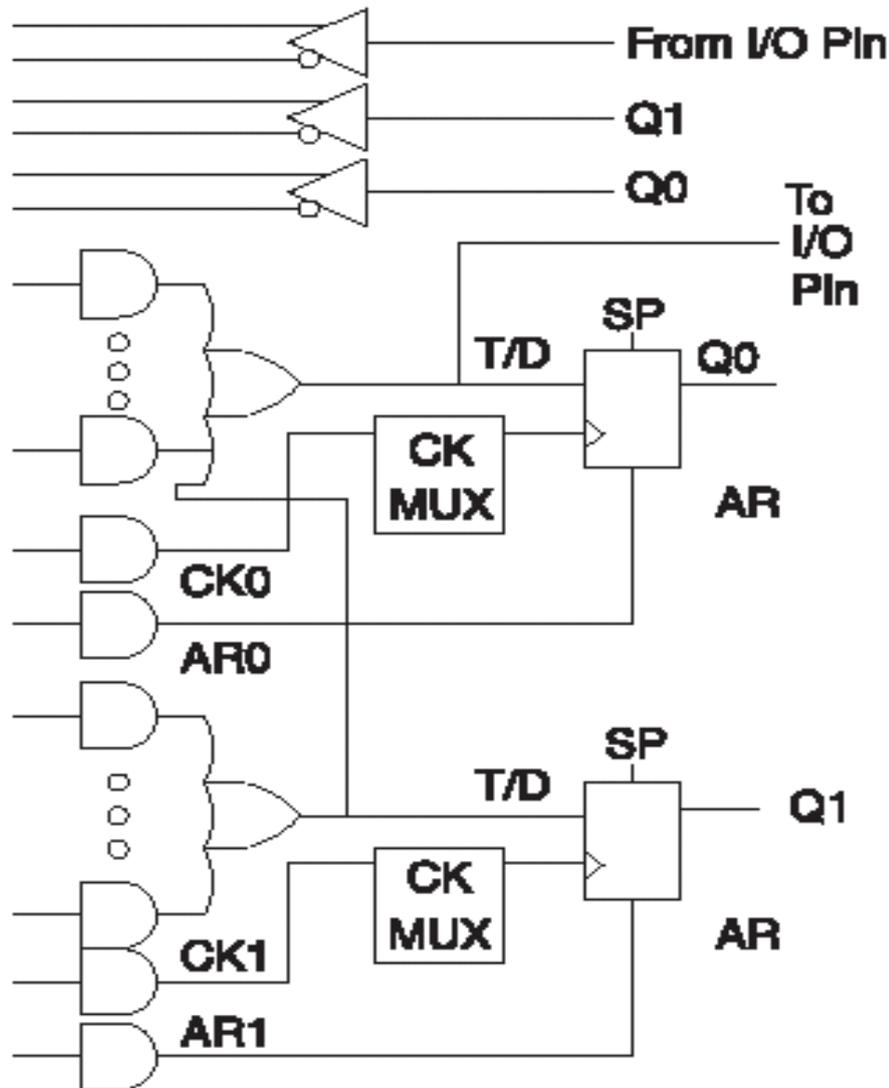
- Características
 - Superconjunto de 22V10 -> compatible pin a pin.
 - 42 entradas del array
 - 20 términos de sumas
 - Retardo máximo entrada-salida 7,5ns.
 - 20 flip-flops
 - Los 20 se realimentan directamente al array
 - 10 son accesibles como salidas
 - Configurables como D o T
 - Reloj individual seleccionable como CLK del sistema o un producto.
 - RESET asíncrono individual como producto
 - PRESET síncrono común a todos
 - Configuración de E/S
 - Los 22 pines pueden usarse como salidas
 - 10 pueden ser entradas, salidas o bidireccionales
 - Salida OE independiente para cada pin
 - Hasta 171 productos disponibles en total

Configuración de las E/S

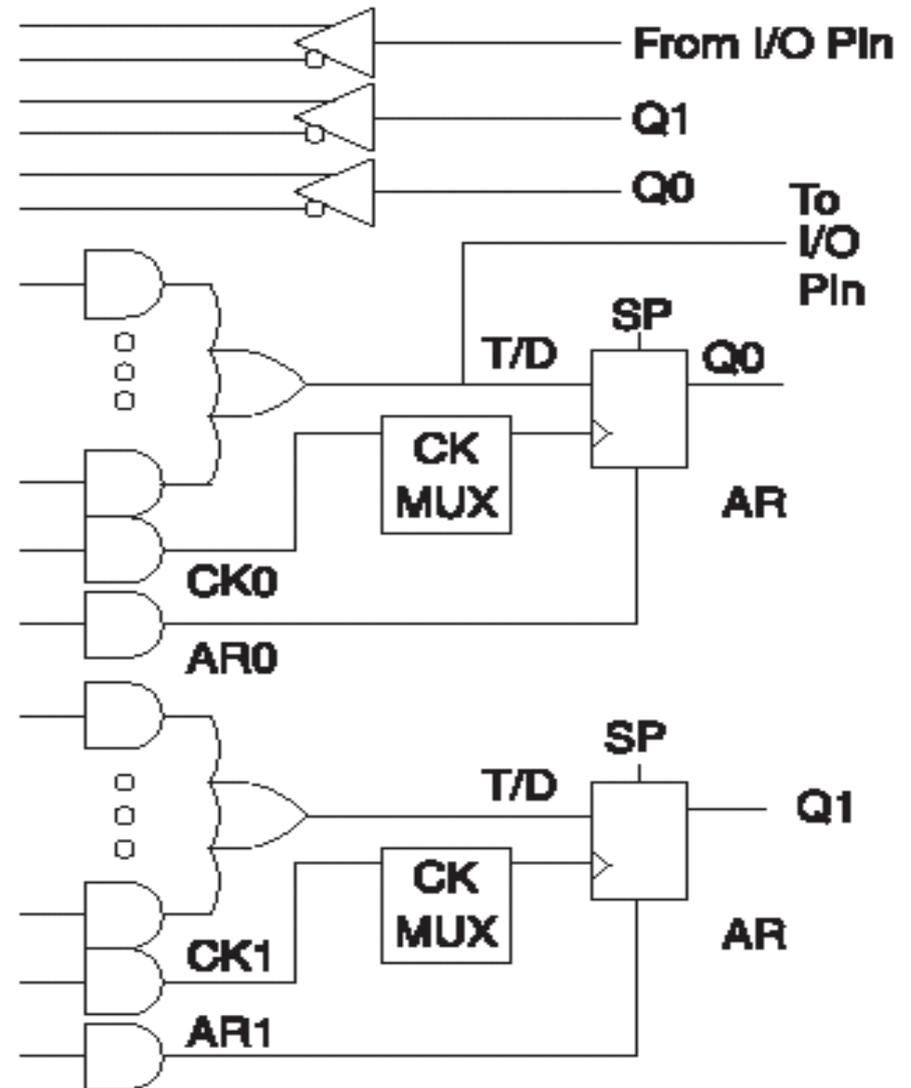


Configuración de la salida (LOGIC OPTIONS) para salida combinacional

Combined Terms

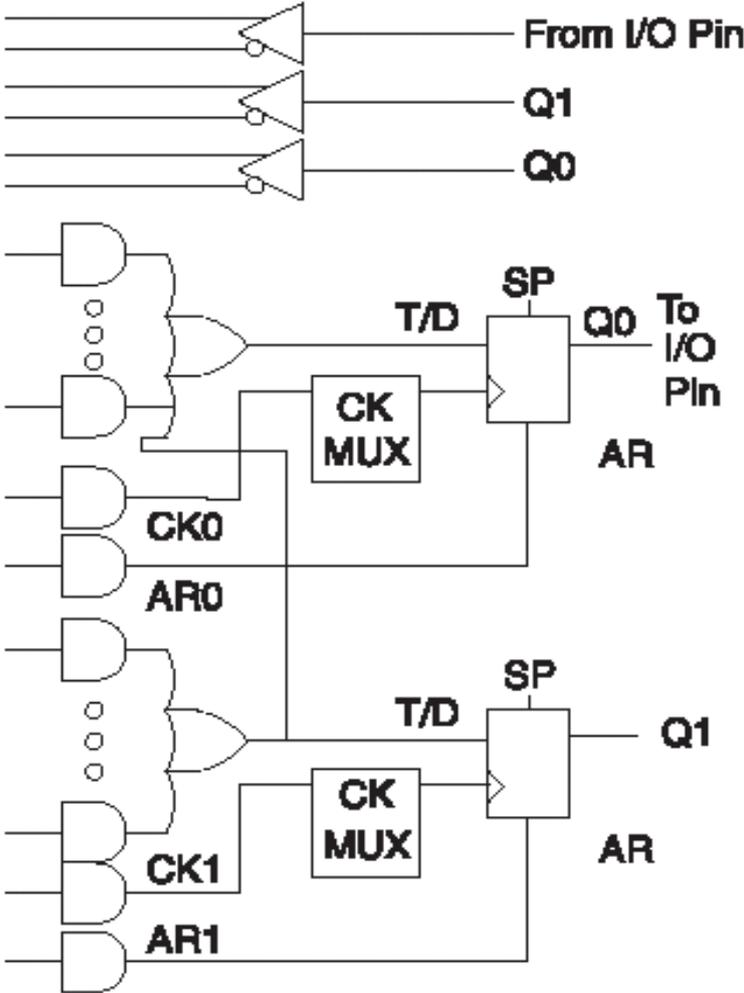


Separate Terms

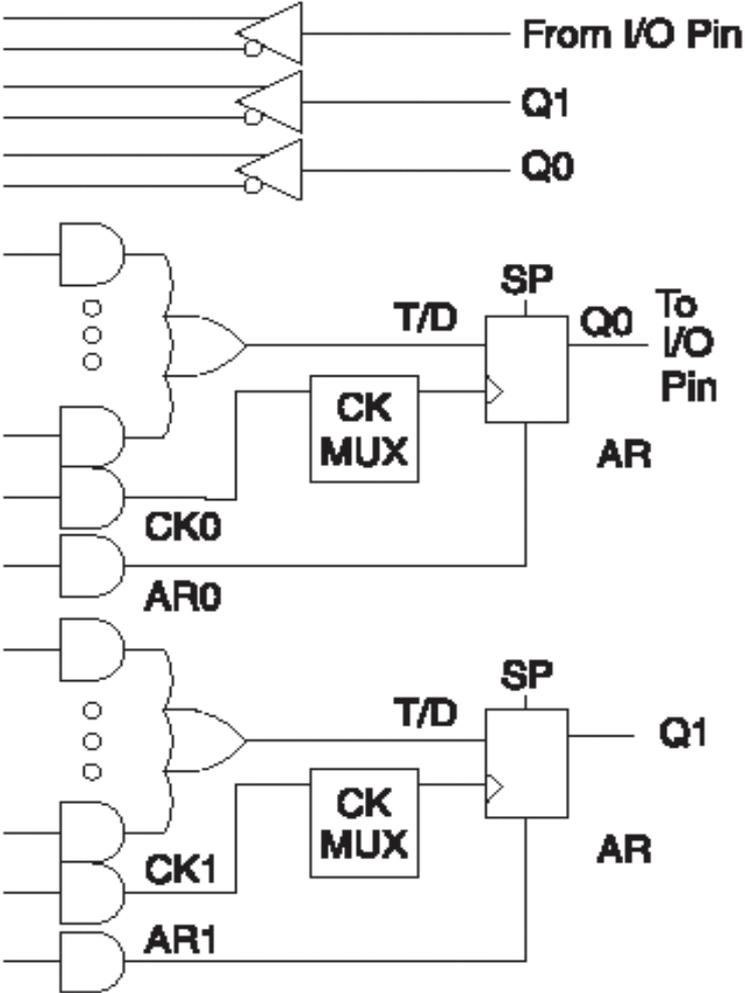


Configuración de la salida (LOGIC OPTIONS) para salida registrada

Combined Terms



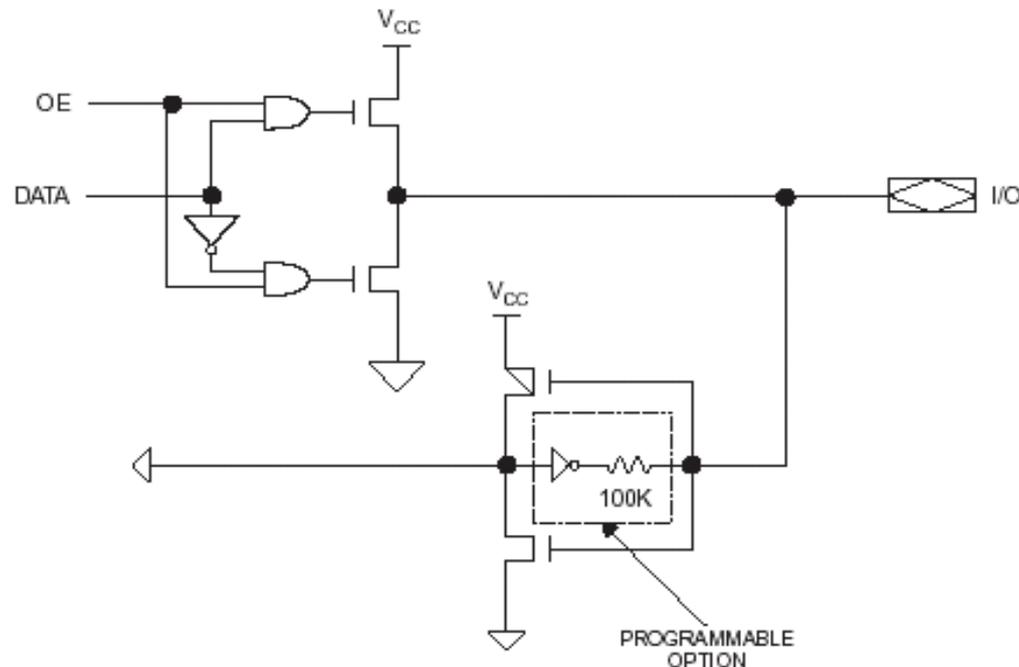
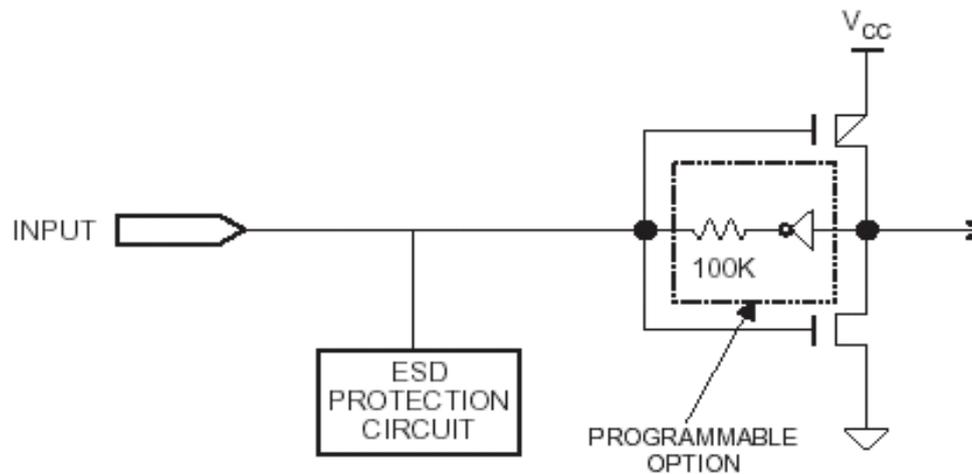
Separate Terms



Configuración Entrada/Salida

- ENTRADA

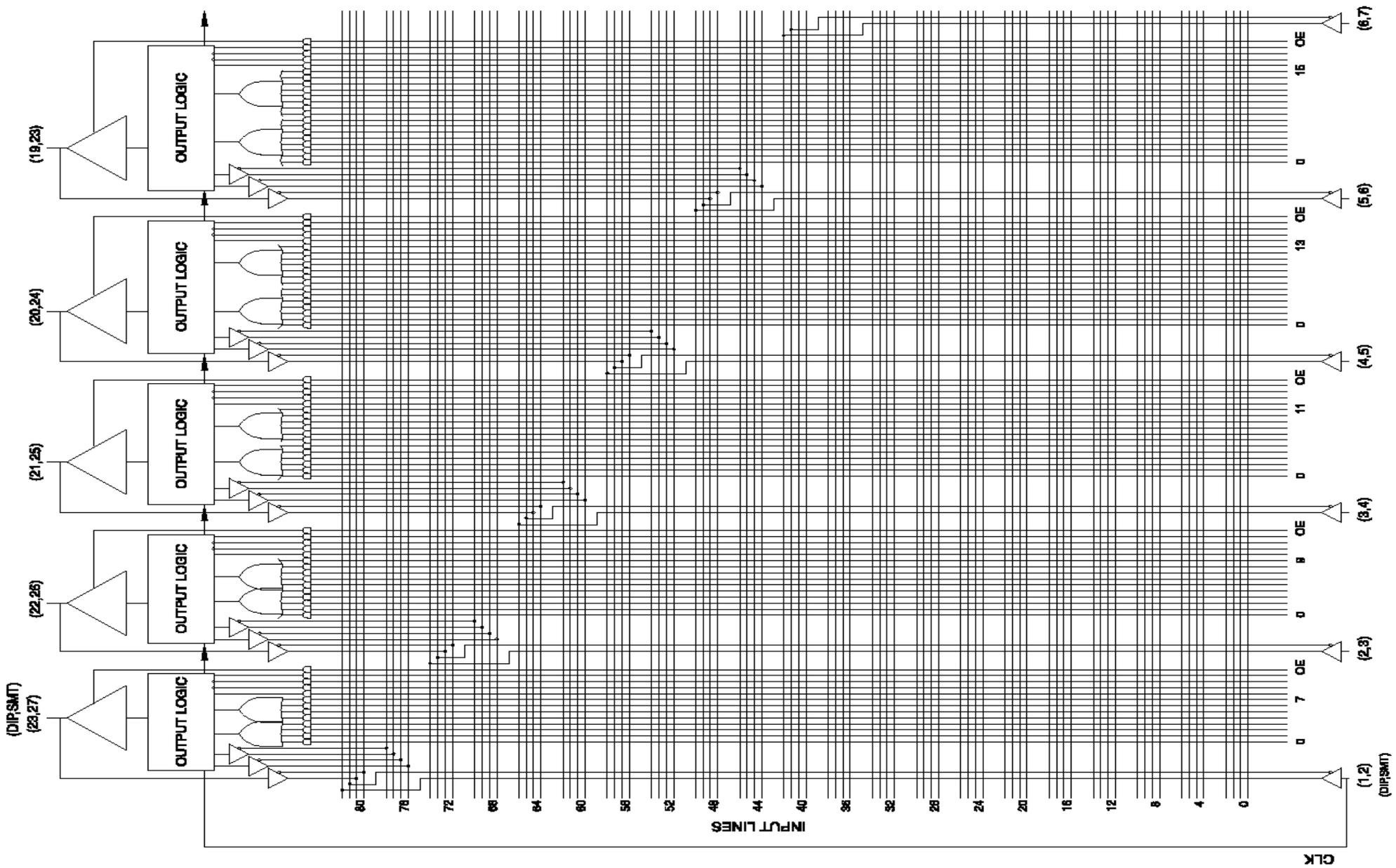
- “Programmable option” para evitar ruidos en entradas “al aire”



- SALIDA (I/O)

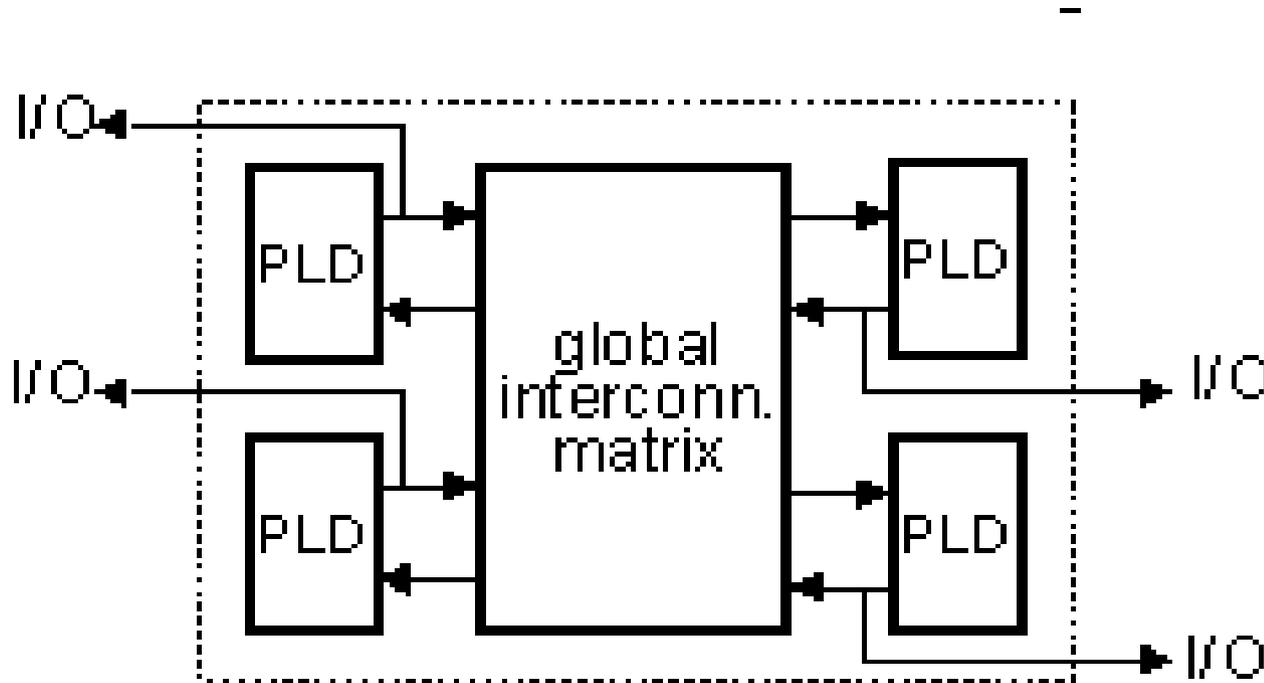
- Bidireccional
- Señal OE discrimina E/S

Functional Logic Diagram ATF750C, Upper Half



CPLDs

- SPLDs limitados típicamente a 10-20 ecuaciones lógicas.
- CPLDs

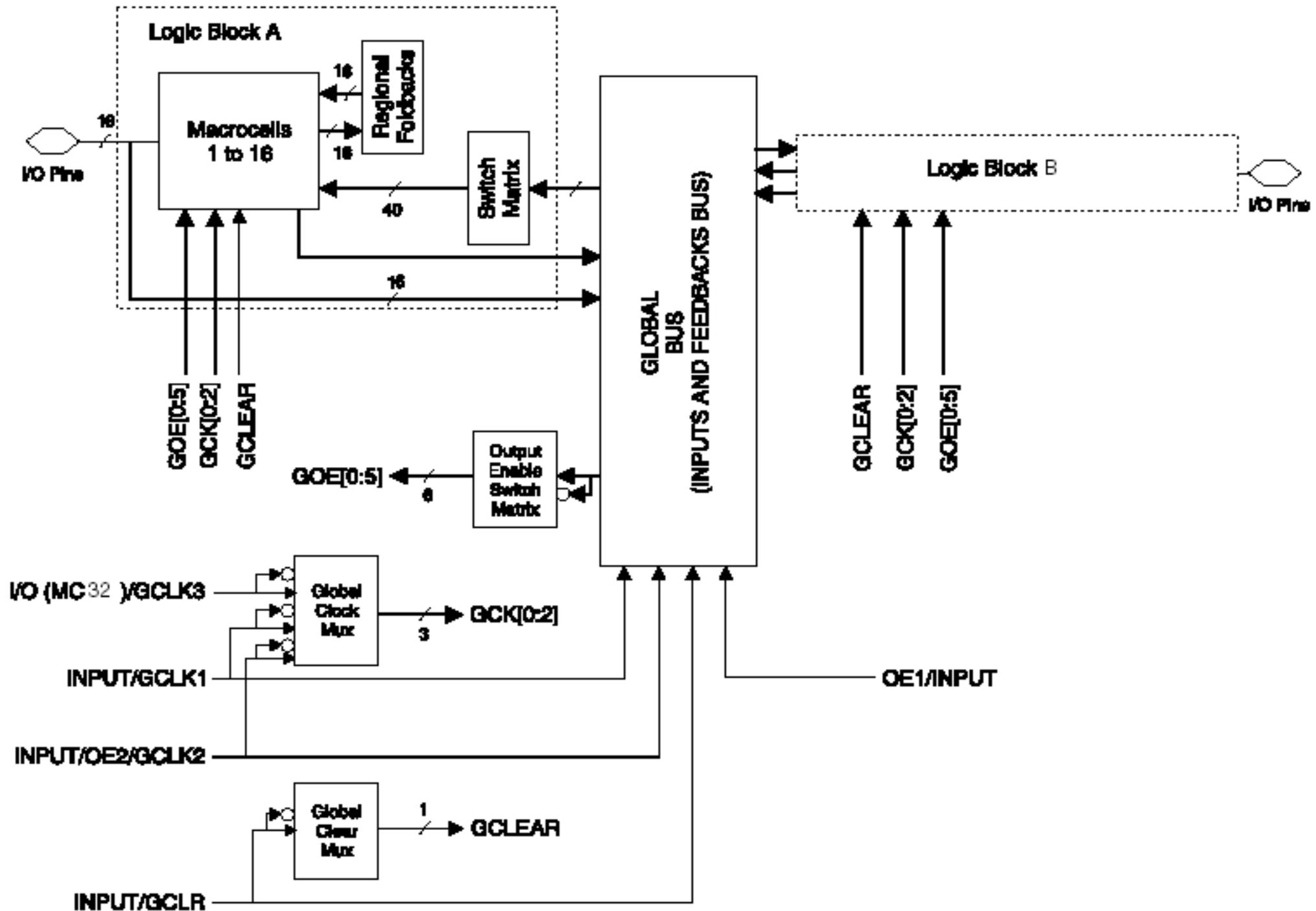


- Bloques de PLD
- Matriz de interconexiones entre ellas
- Dos niveles de programación -> mucha más flexibilidad

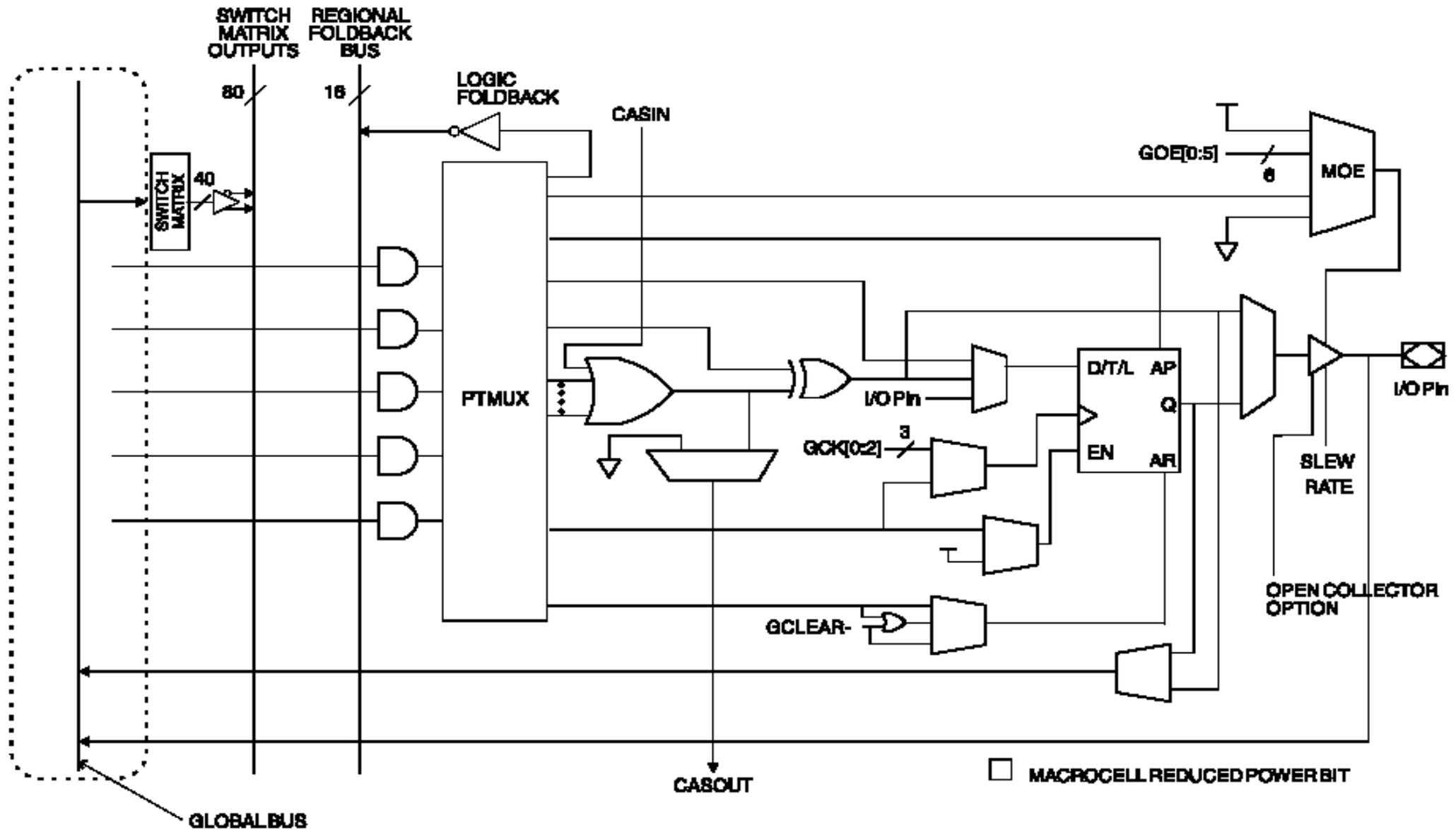
ATF1502

- Características
 - 44 pines
 - Retardo entrada-salida máximo 7,5ns
 - 32 macrocélulas
 - 5 productos por macrocélula, ampliables hasta 40.
 - Configurable como registro D o T
 - Señales de control del registro globales o individuales
 - ENABLE global o individual de cada salida
 - Programables como entradas, salidas o E/S (como ATF750), y colector abierto.
 - Programación ISP
 - Tres pines de CLK globales disponibles
 - Opción de RESET en encendido
 - EEPROM

Arquitectura



Estructura de la macrocélula



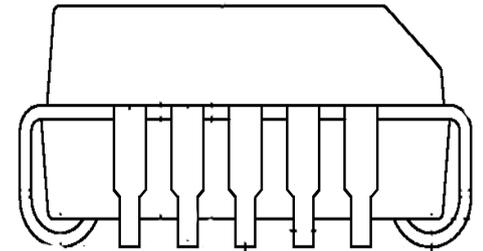
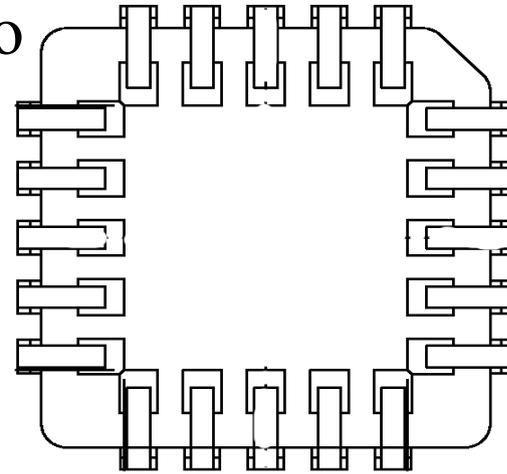
Lattice ispMACH 4A

- Características
 - Versiones 3,3V (M4A3-xxx) y 5V (M4A5-xxx)
 - Alta velocidad: retardos 5 ns y 7,5 ns. Hasta 182 Mhz
 - Distintos tamaños: 44 a 388 pines, 32 a 512 macroceldas, 32 a 768 registros
 - Arquitectura flexible:
 - Registros seleccionables D/T
 - Modos síncrono/asíncrono
 - Registros dedicados en las entradas.
 - Polaridad programable
 - Varias señales de reloj
 - Programable “en sistema”
 - Posibilidad de mezclar con dispositivos con otras tensiones de alimentación
 - Resistencias de pull-up programables en las entradas y E/S
 - Conectable “en caliente”

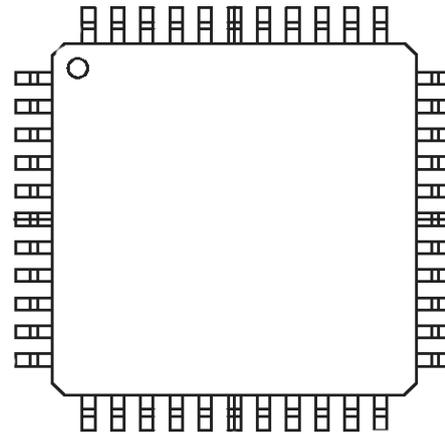
ispMACH 4A5 32/32

- Características del dispositivo

- Tensión de alimentación 5V
- Velocidades entre 5 y 12 ns
- Encapsulados
 - PLCC de 44 pines (zócalo)
 - TQFP en 44 y 48 pines (SMD)
- 2 Entradas dedicadas
- 32 E/S configurables

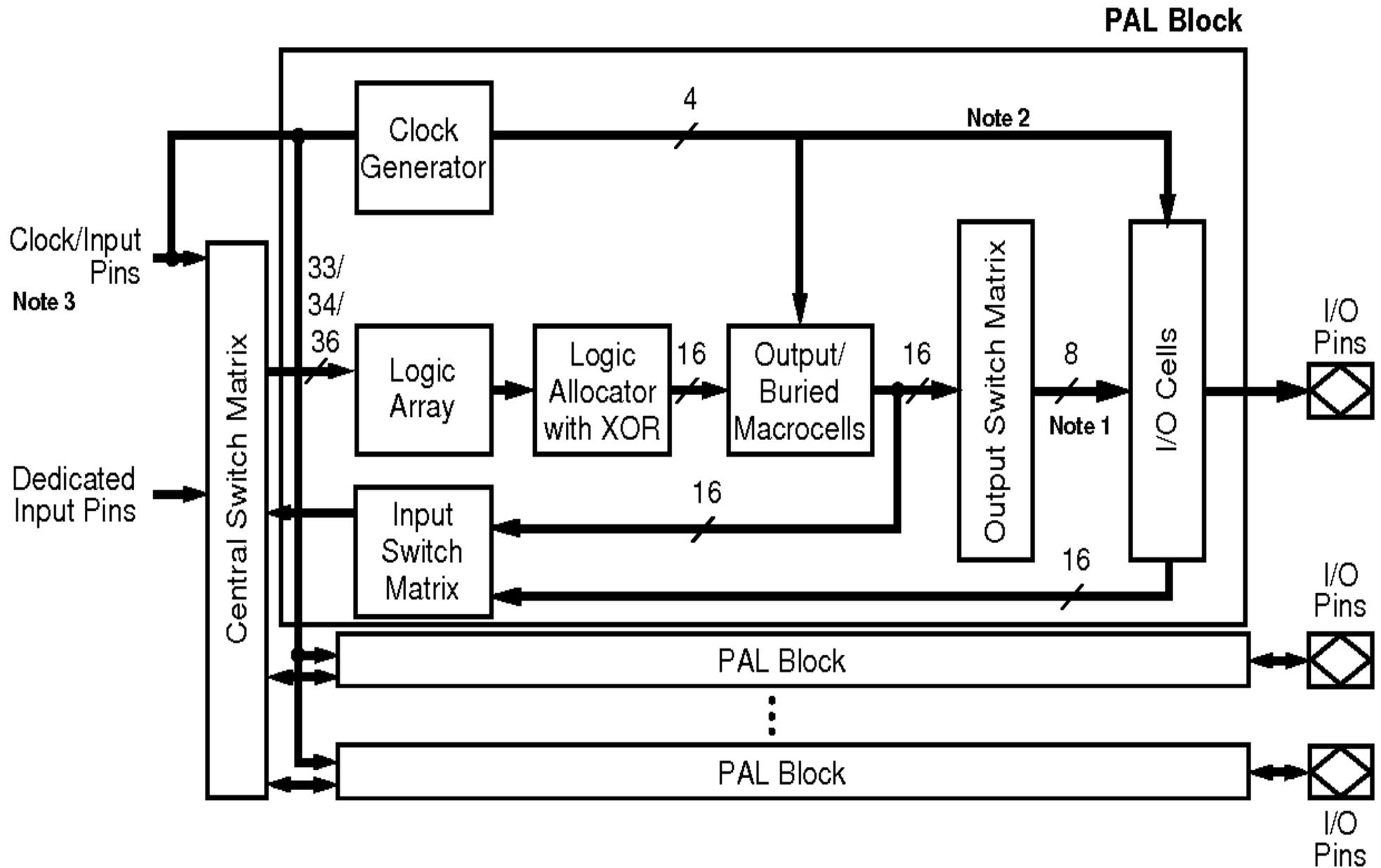


PLCC



TQFP

Estructura

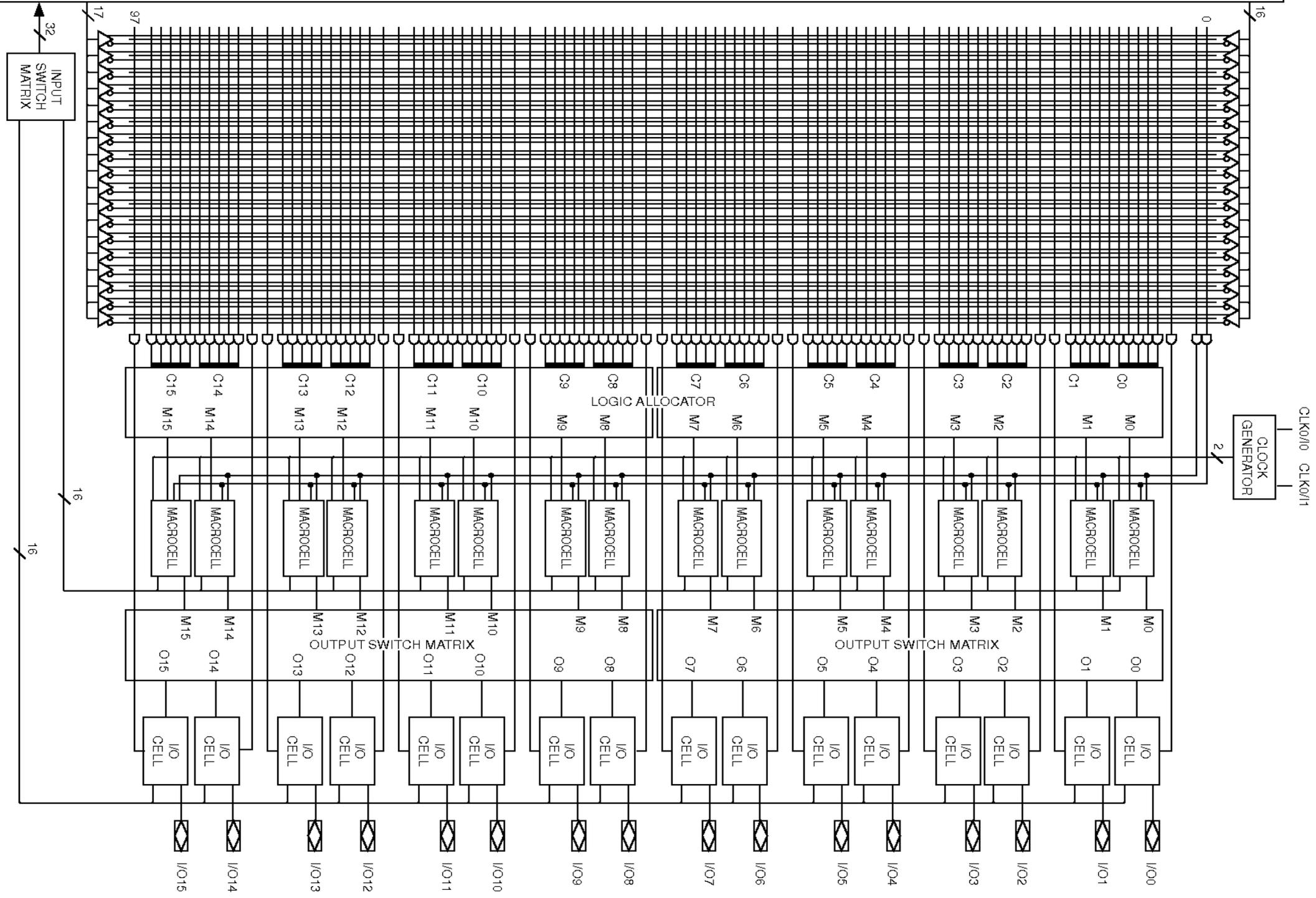


- Dos bloques PAL para la M4A5-32/32 (cada una 16 pines E/S)
- Interconexiones a través de la Matriz de conmutación central

- Estructura de un bloque PAL. Visión general
 - Array de productos -> 32 productos en el bloque PAL
 - Distribuidor lógico
 - Agrupa varios productos en “clusters” y los redirige a macroceldas
 - Permiten hacer muchas funciones muy pequeñas, o menos funciones más grandes (con más productos) -> hasta 16 productos/macrocela
 - Macroceldas
 - Permite la configuración combinacional/registro seleccionar distintos relojes, modo síncrono/asíncrono
 - Matriz de conmutación de salidas
 - Permite que cada celda pueda atacar a una de 8 celdas de E/S
 - Celdas E/S
 - Configurables como entradas, salidas. Incluye OutputEnable y realimentación.
 - Matriz de conmutación de entradas
 - Enruta las entradas a la matriz central, permitiendo distintos caminos
 - Generador de reloj
 - Dos entradas de reloj externas.
 - El reloj para cada bloque PAL se genera a partir de combinaciones de los dos relojes externos

Bloque PAL

CENTRAL SWITCH MATRIX



CLK0/I0, CLK1/I1

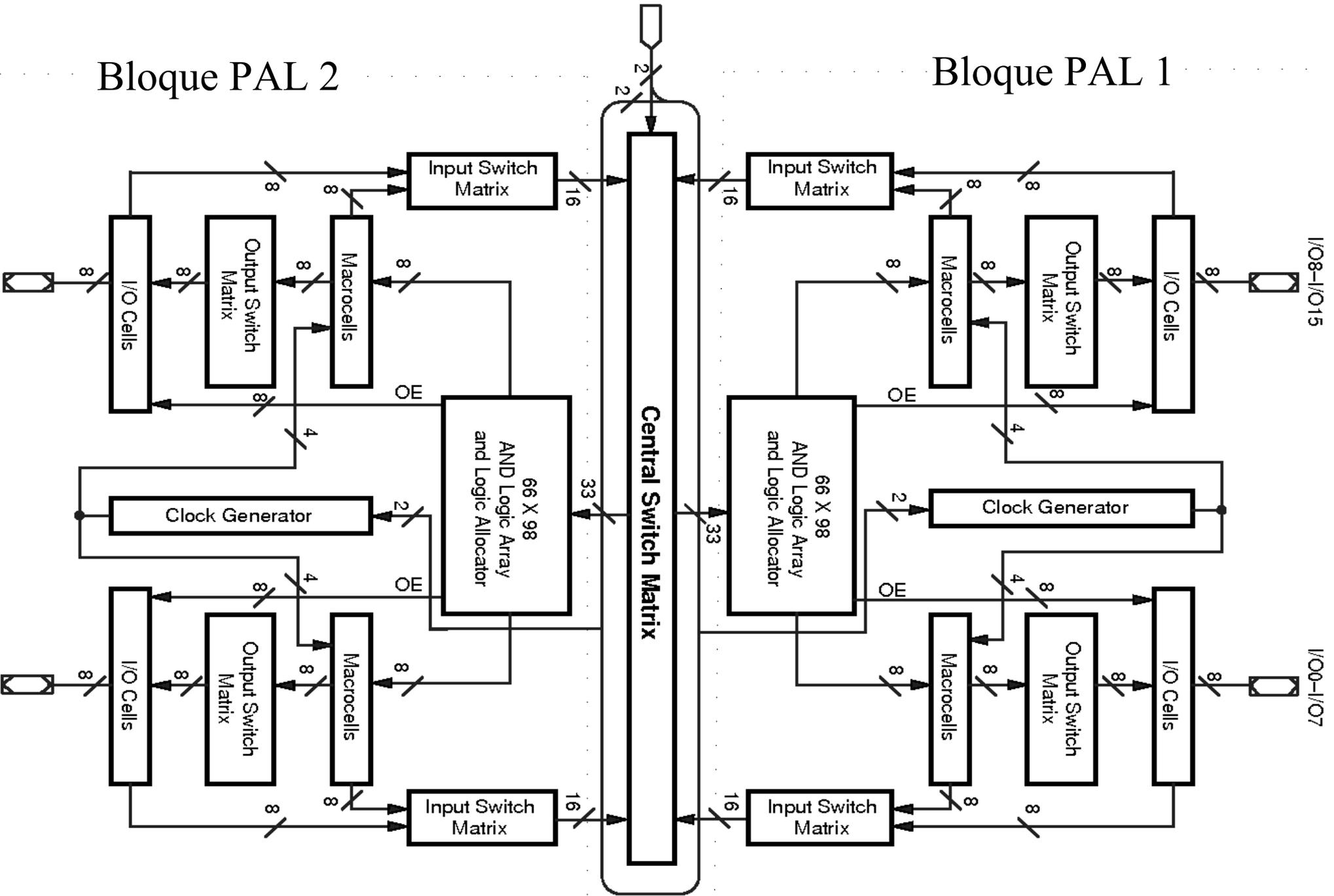
Bloque PAL 2

Bloque PAL 1

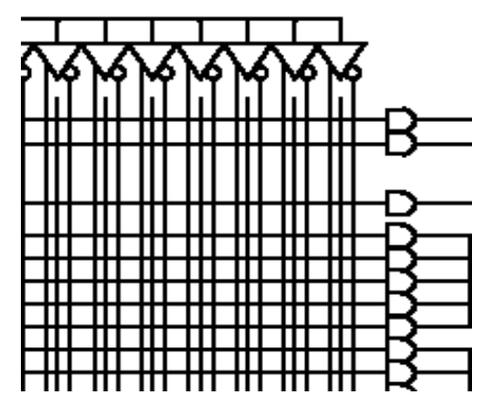
I/O16-I/O23

I/O8-I/O15

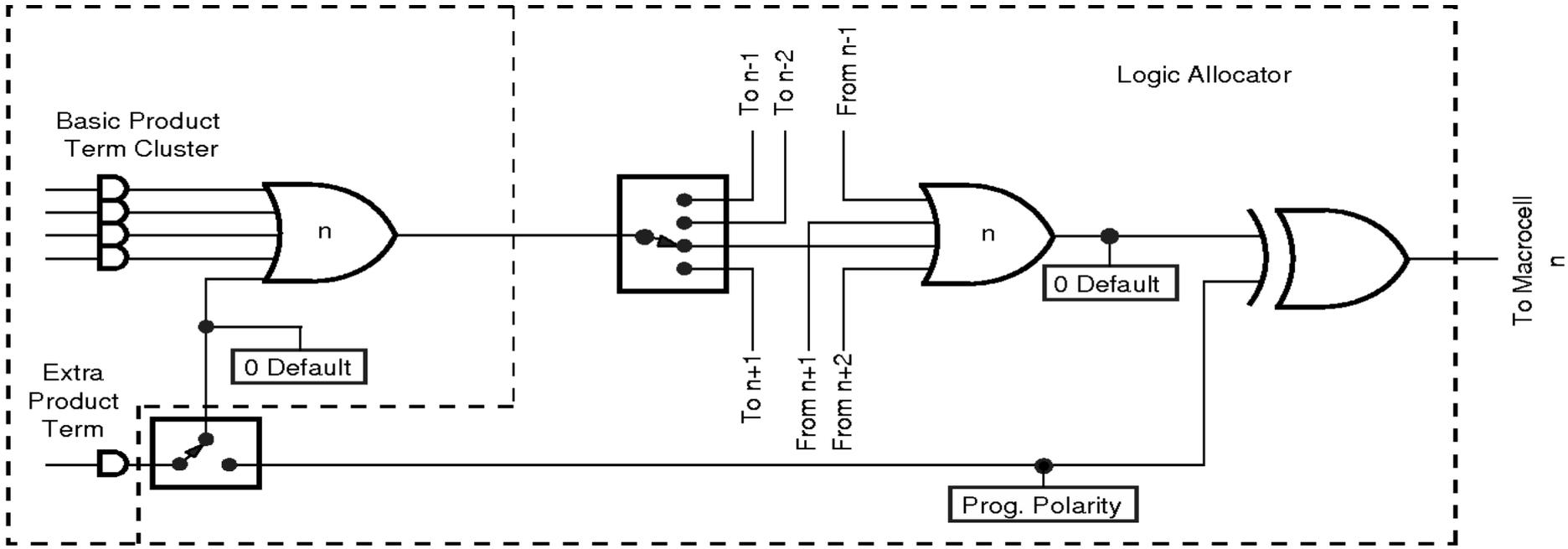
I/O0-I/O7



- Array de productos
 - Conexión de las entradas a un array AND
 - Igual que en PAL

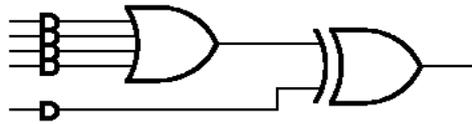


- Distribuidor lógico
 - Agrupa “clusters” de productos y los redirige a una macrocelda
 - 4 productos por cluster (macrocelda correspondiente en modo síncrono) o 2 (en modo asíncrono) + un producto extra, que puede añadirse al cluster o controlar la polaridad de salida
 - El cluster se puede redirigir a las 3 celdas contiguas => hasta 20 productos por macrocelda

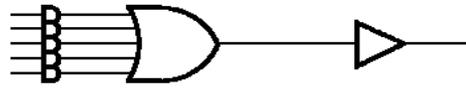


a. Synchronous Mode

Configuraciones del cluster



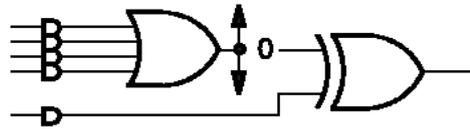
a. Basic cluster with XOR



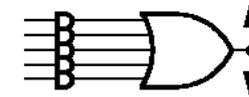
b. Extended cluster, active high



c. Extended cluster, active low



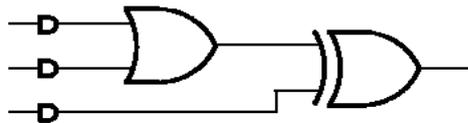
d. Basic cluster routed away;
single-product-term, active high



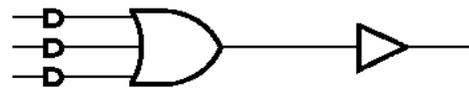
e. Extended cluster routed away

17466G-007

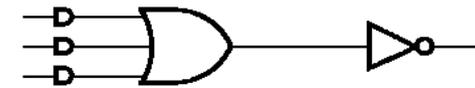
Figure 3. Logic Allocator Configurations: Synchronous Mode



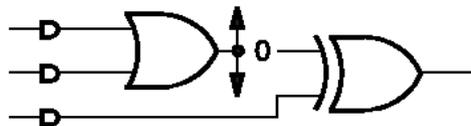
a. Basic cluster with XOR



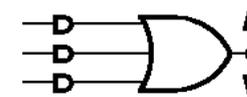
b. Extended cluster, active high



c. Extended cluster, active low



d. Basic cluster routed away;
single-product-term, active high

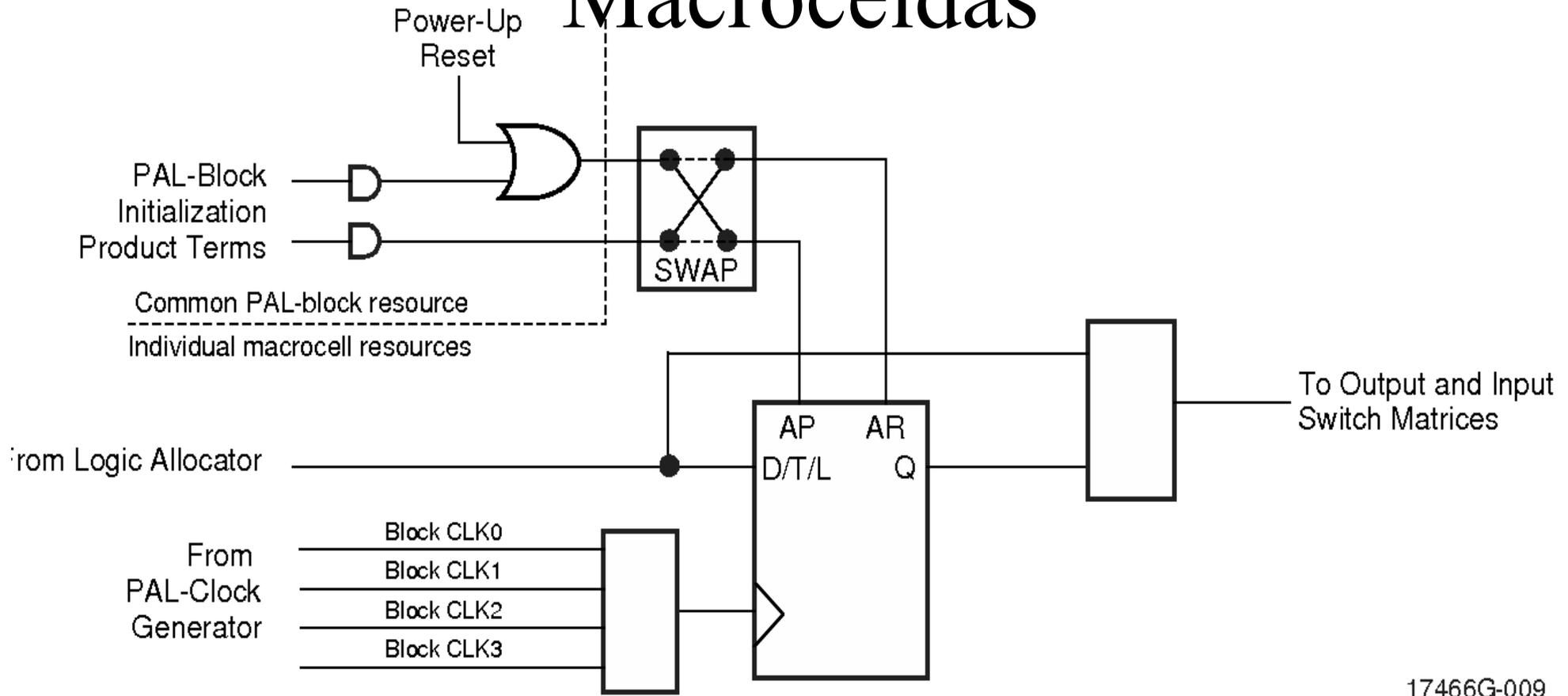


e. Extended cluster routed away

17466G-008

Figure 4. Logic Allocator Configurations: Asynchronous Mode

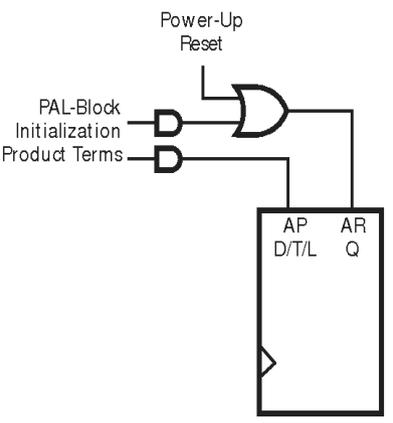
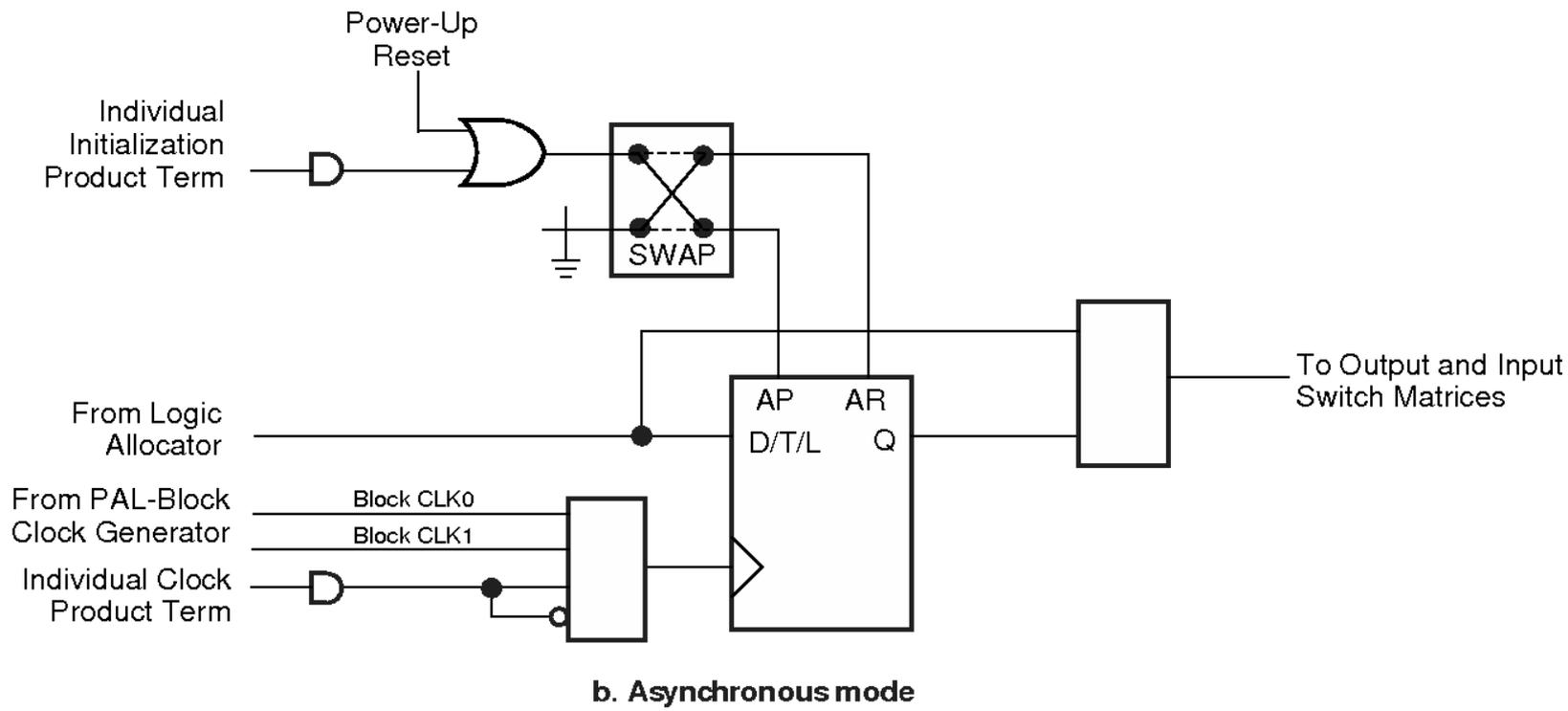
Macroeldas



17466G-009

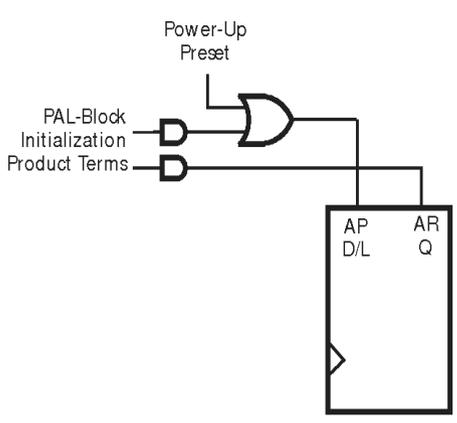
a. Synchronous mode

- Configuración biestable/combinacional
- Biestable configurable como D por flanco o nivel o T por flanco (RS y JK sintetizables). Flancos de subida o bajada seleccionables.
- Varias señales de reloj seleccionables
- Señales reset y preset desde pines o productos
- modos síncrono (relojes “externos”) o asíncrono (reloj desde un producto)



a. Power-up reset

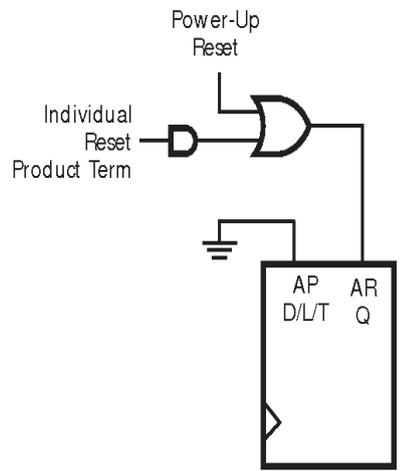
17466G-012



b. Power-up preset

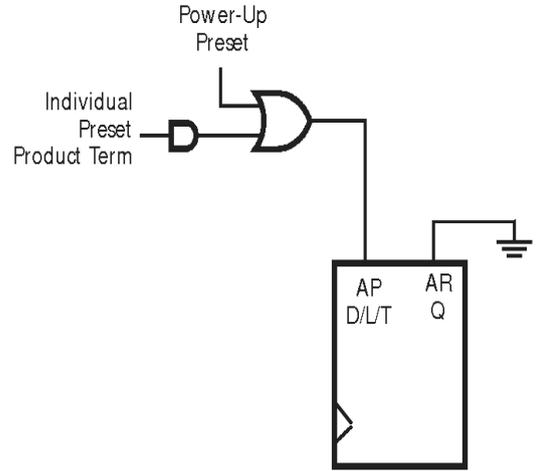
17466G-013

Figure 7. Synchronous Mode Initialization Configurations



a. Reset

17466G-014

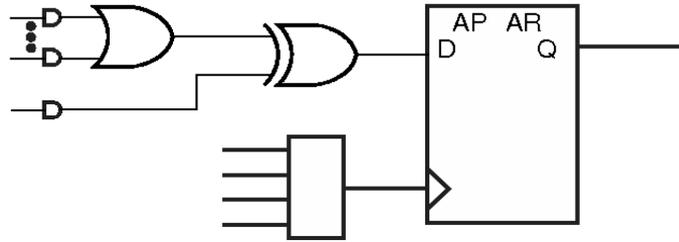


b. Preset

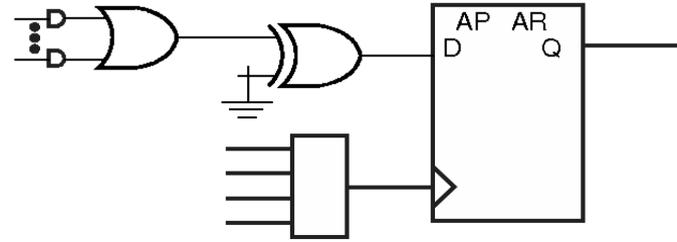
17466G-015

Figure 8. Asynchronous Mode Initialization Configurations

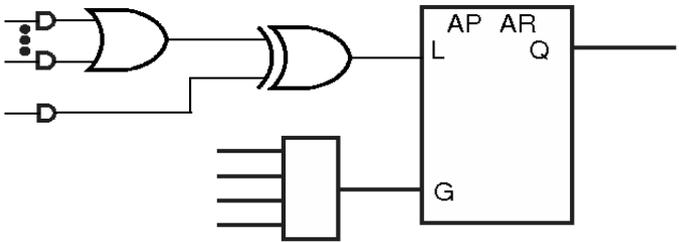
Configuraciones más típicas de la macrocelda



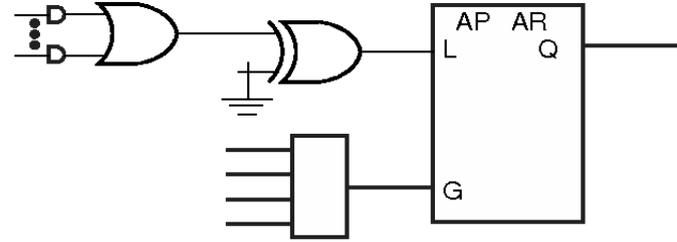
a. D-type with XOR



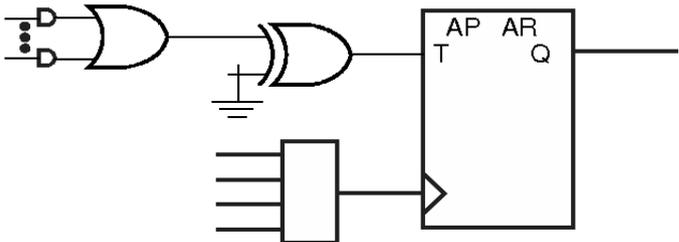
b. D-type with programmable D polarity



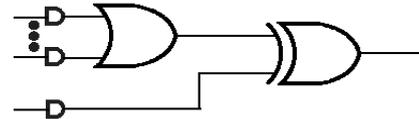
c. Latch with XOR



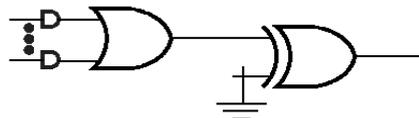
d. Latch with programmable D polarity



e. T-type with programmable T polarity

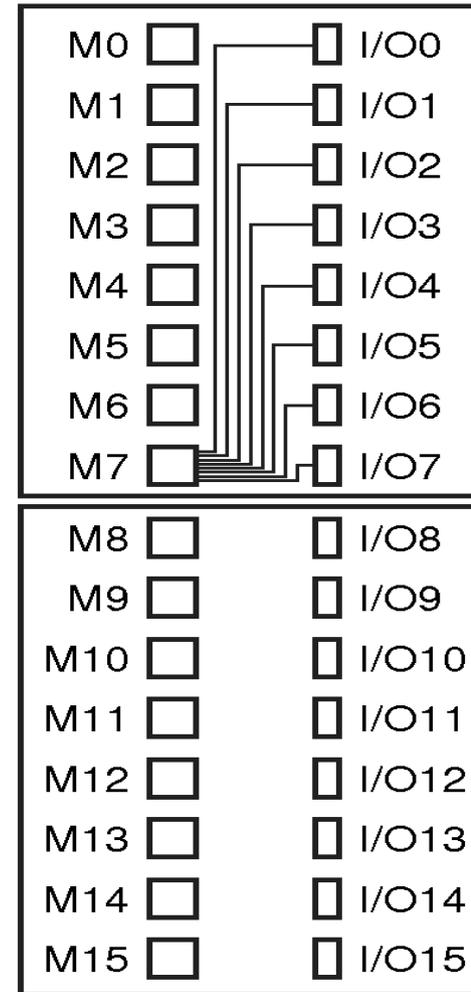
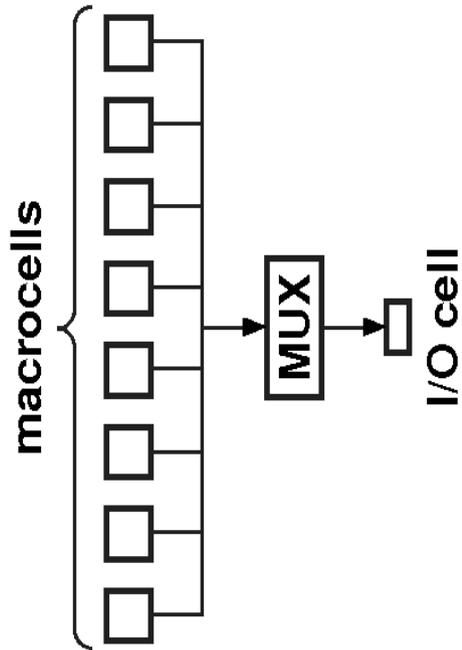


f. Combinatorial with XOR



g. Combinatorial with programmable polarity

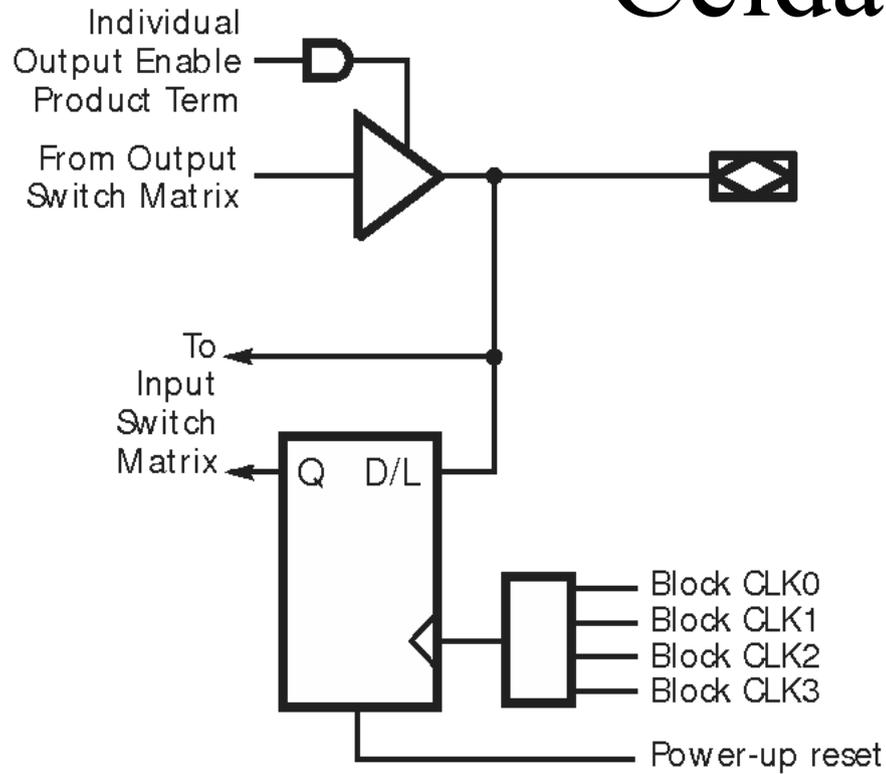
Matriz de conmutación de salidas



cada celda de E/S puede elegir una de 8 macroceldas

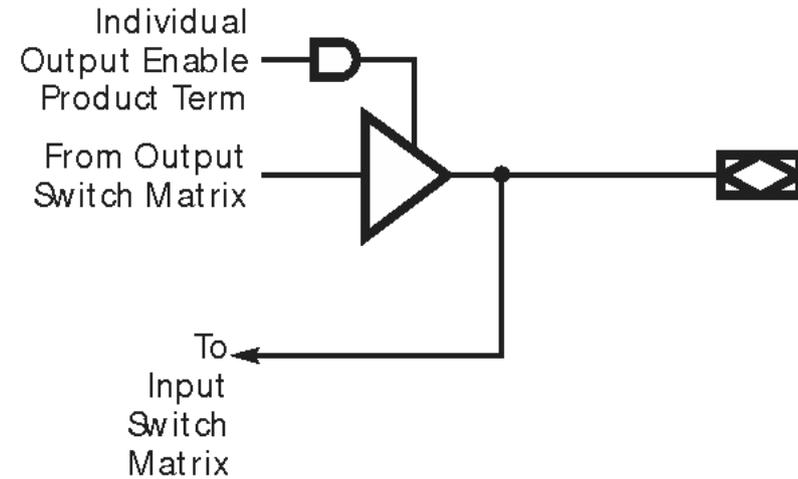
cada macrocelda puede atacar una de 8 celdas de E/S

Celdas de E/S



17466G-017

Figure 10. I/O Cell for ispMACH 4A Devices with 2:1 Macrocell-I/O Cell Ratio

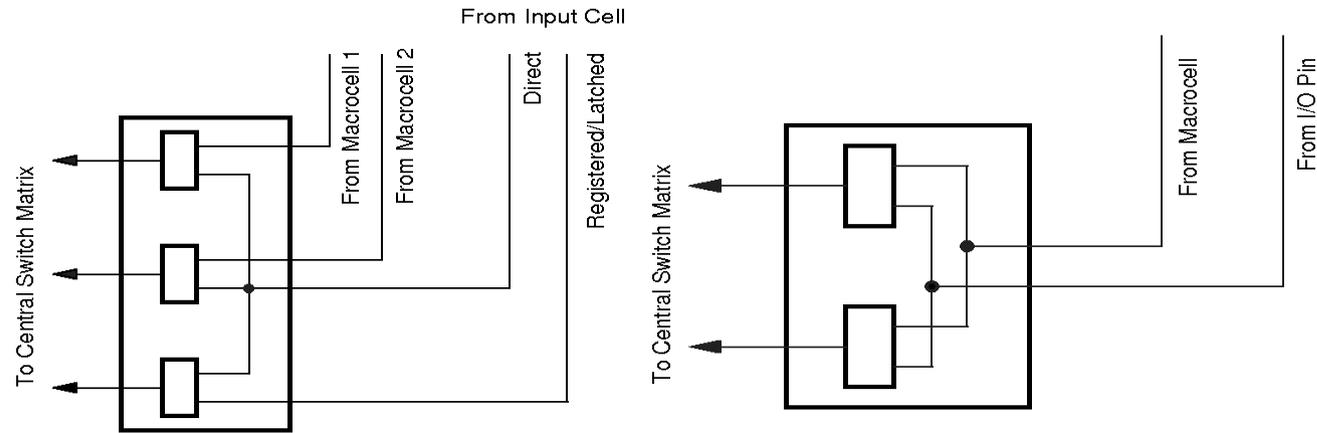


17466G-018

Figure 11. I/O Cell for ispMACH 4A Devices with 1:1 Macrocell-I/O Cell Ratio

- Habilitación de salida programable (desde el array)
- Lazo de realimentación -> permite realimentaciones y hacer productos con más de 20 términos
- Latch para señales de entrada (no disponible en ispMACH4A5-32/32)

Matriz de conmutación de entradas



- Optimiza el enrutado a la matriz de conmutación central
- Sin matriz de conmutación de entradas, para cada entrada o línea de realimentación sólo tiene un camino para entrar en la matriz central. La matriz de conmutación de entradas le proporciona varios caminos posibles

Generador de reloj

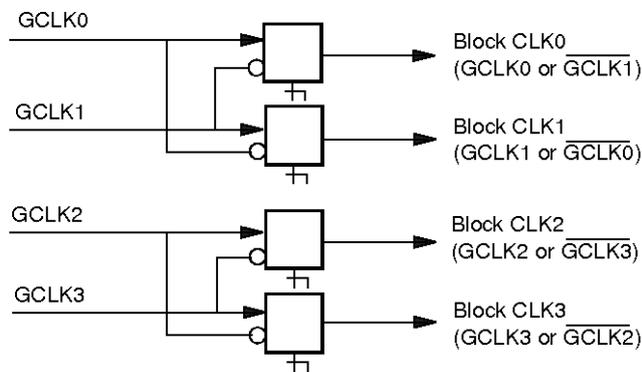
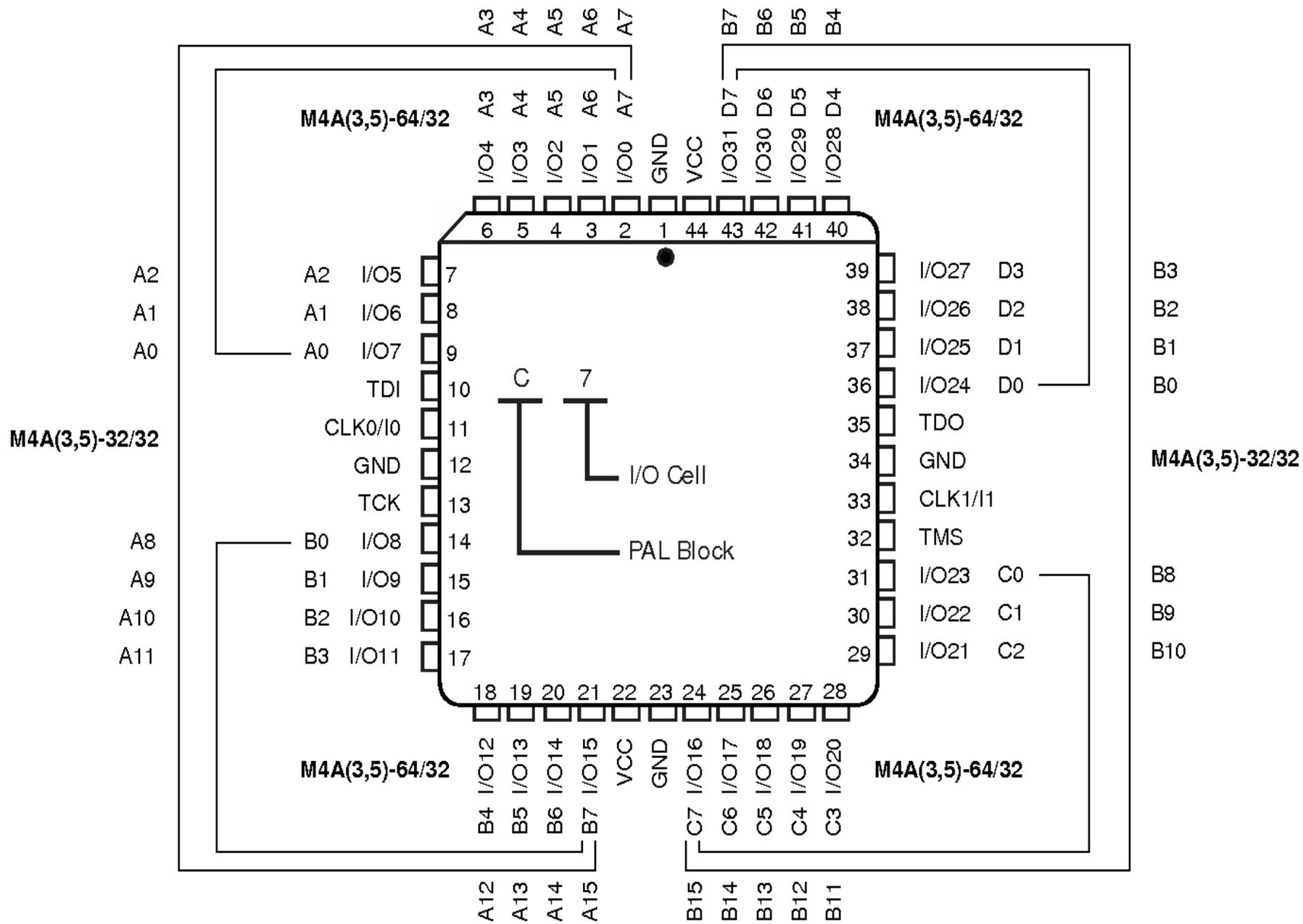


Figure 14. PAL Block Clock Generator ¹

- Genera cuatro señales de reloj a partir de combinaciones lógicas de los flancos de subida y bajada de los relojes de entrada
- 4 relojes de entrada (2 para ispMACH4A5-32/32)

Top View

44-Pin PLCC

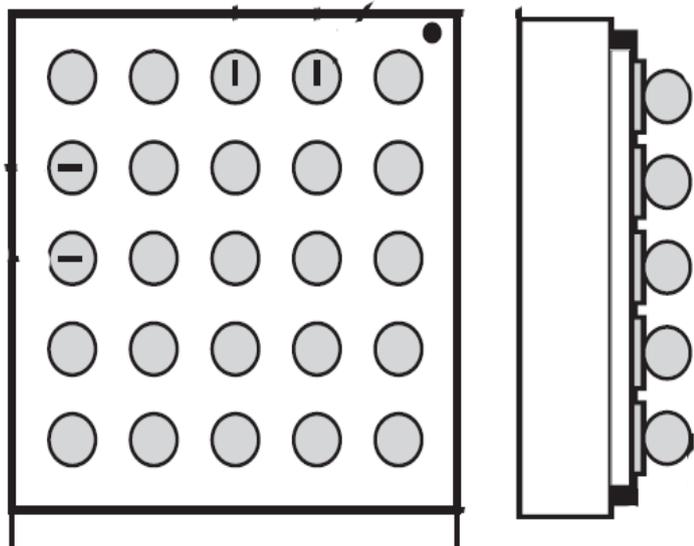


Xilinx XC9500

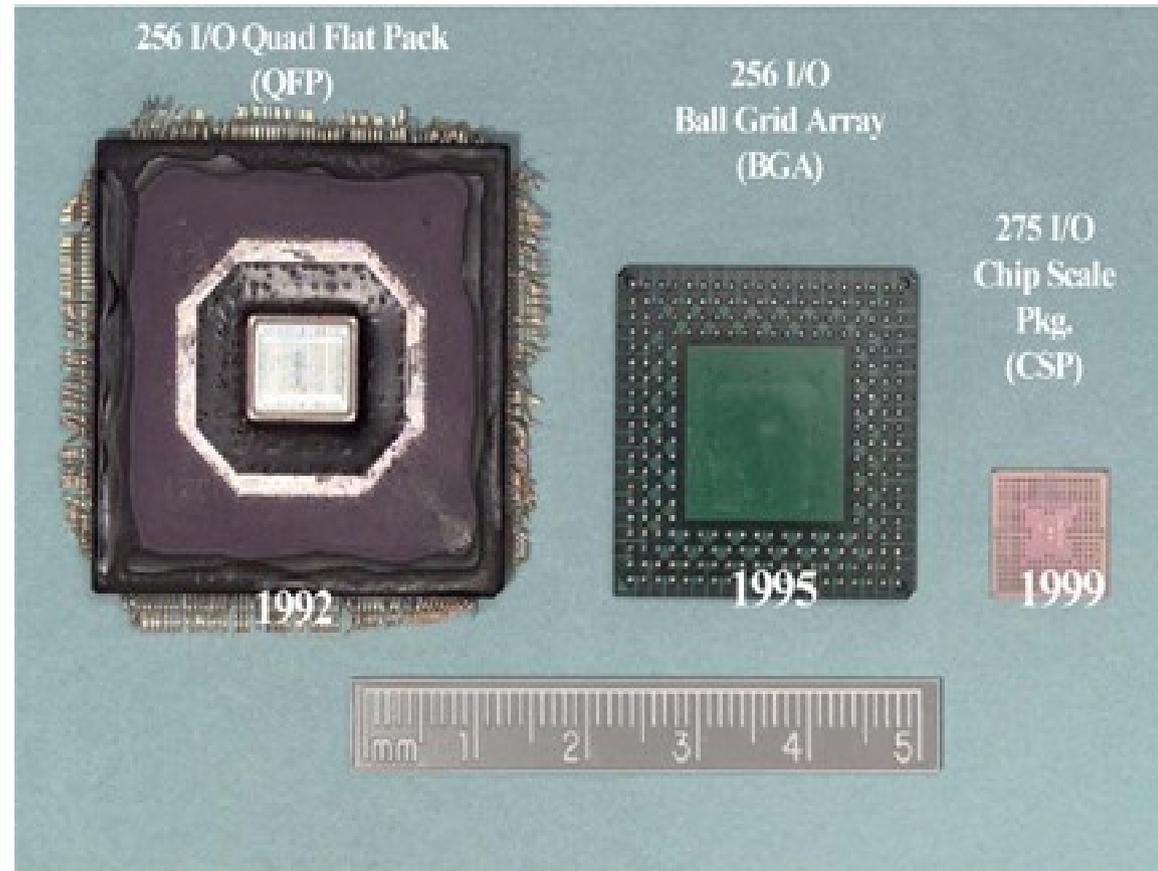
- Características
 - Distintas tensiones de alimentación:
 - 5V (XC9500)
 - 3,3V (XC9500XL)
 - 2,5V (XC9500XV)
 - Retardos 5 ns. Frecuencia de trabajo hasta 125Mhz.
 - 36 a 288 macroceldas. 800 a 6400 puertas disponibles.
 - Corrientes de salida de hasta 24 mA.
 - Posibilidad de mezclar sistemas de 3,3V y 5V.
 - Programable “en sistema”

- XC9536

- 36 macroceldas
- 44pines en encapsulado PLCC (zócalo) VQFP (SMD) o CSP
- 34 pines de E/S
- Alimentación a 5V. Salidas para 5V o 3,3V

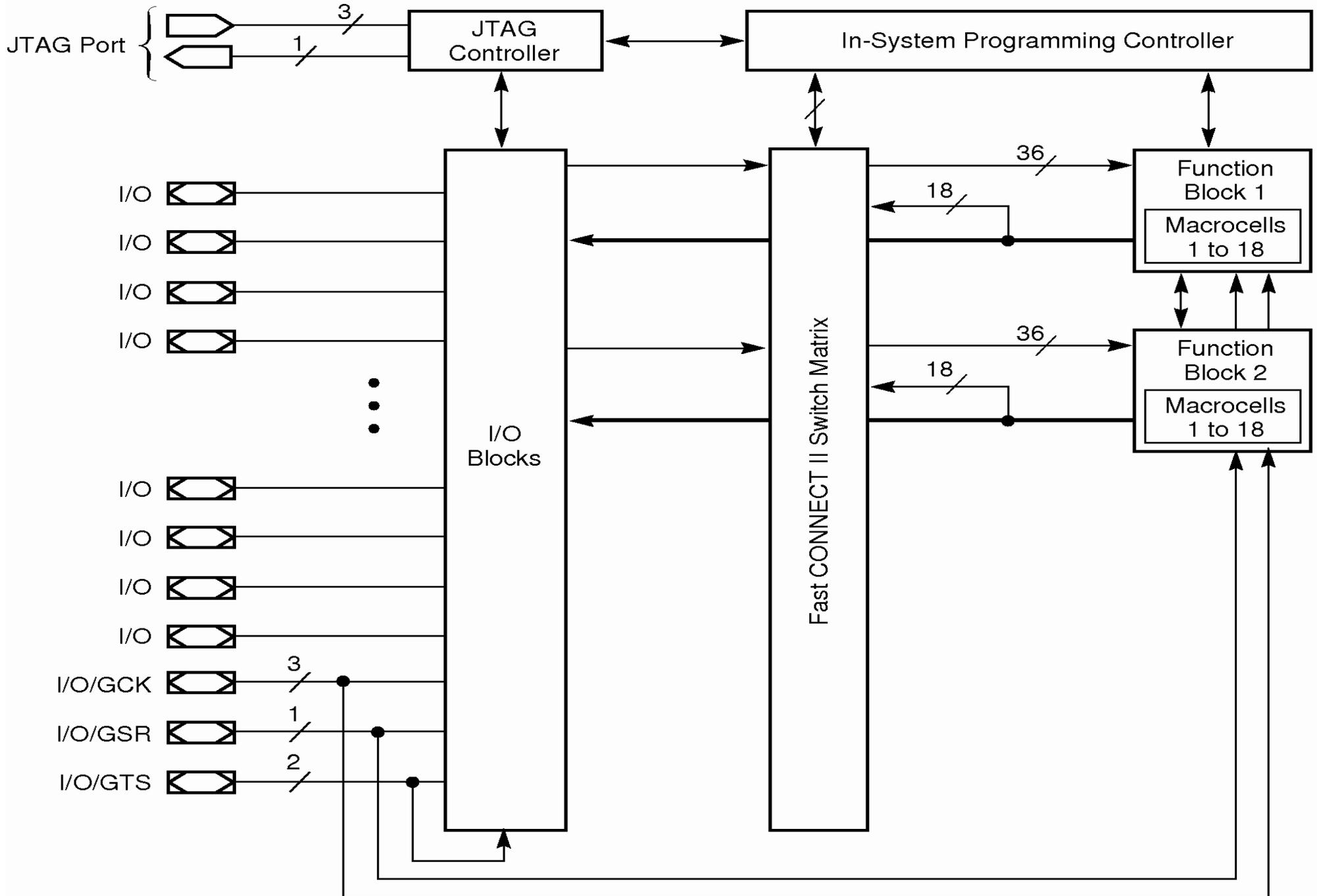


encapsulado CSP

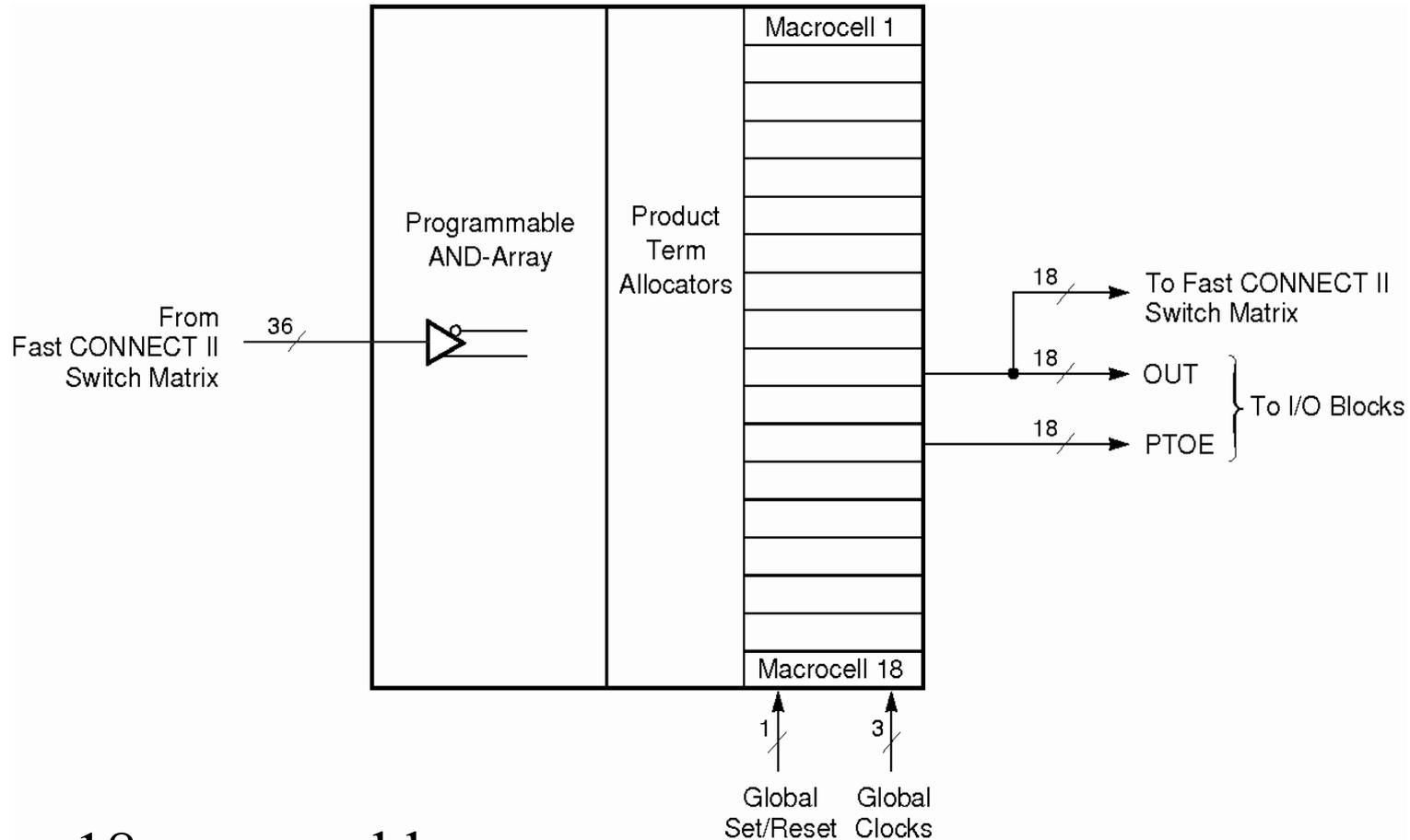


comparación QFP BGA y CSP

Estructura

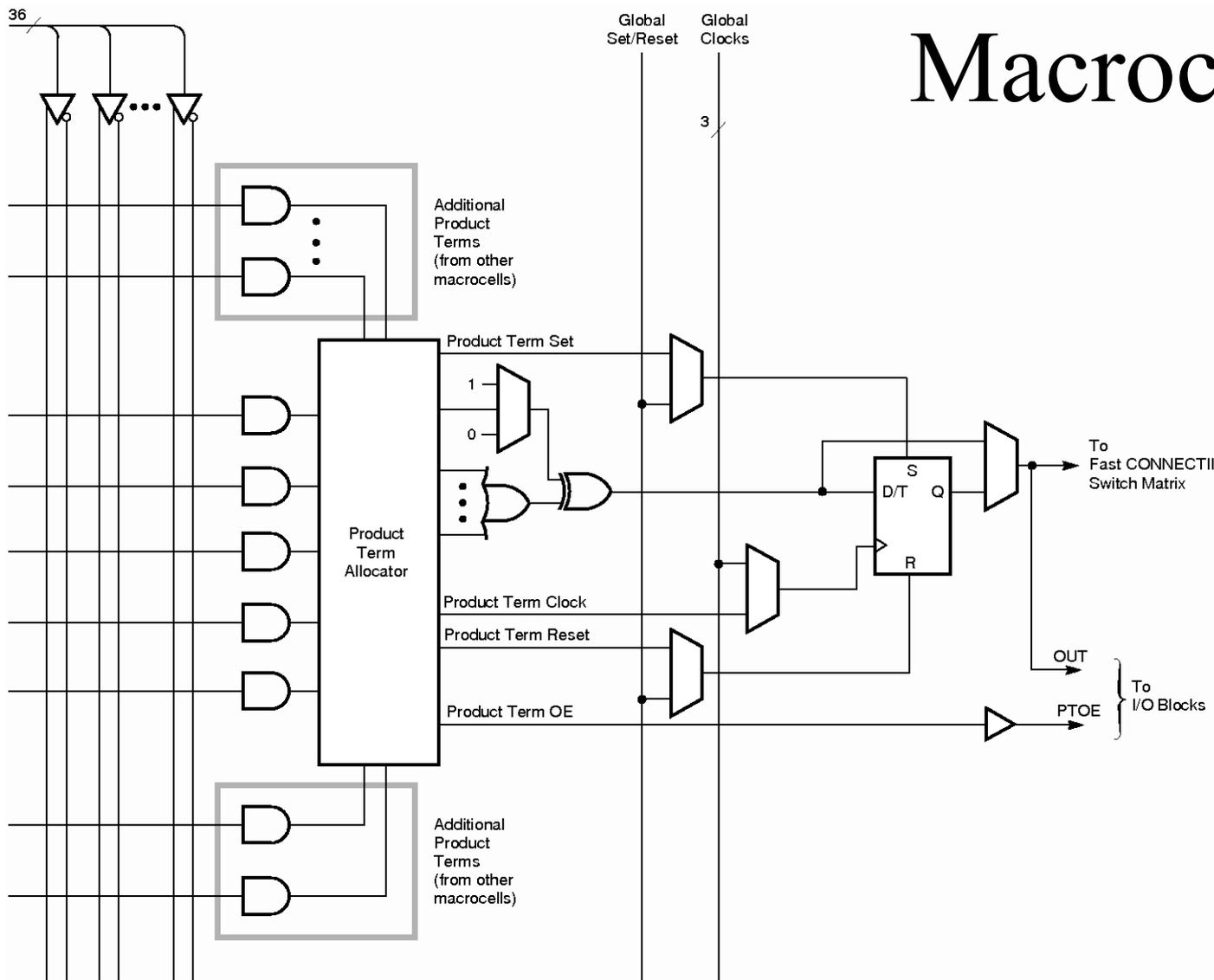


Bloque de función



- Incluye 18 macroceldas
- Recibe 36 entradas de la matriz de conexión
- Proporciona 16 salidas a la matriz y 16 controles OE para ellas
- El array AND permite hasta 90 productos
- Cualquier cantidad de productos (hasta los 90) asociados a una salida.

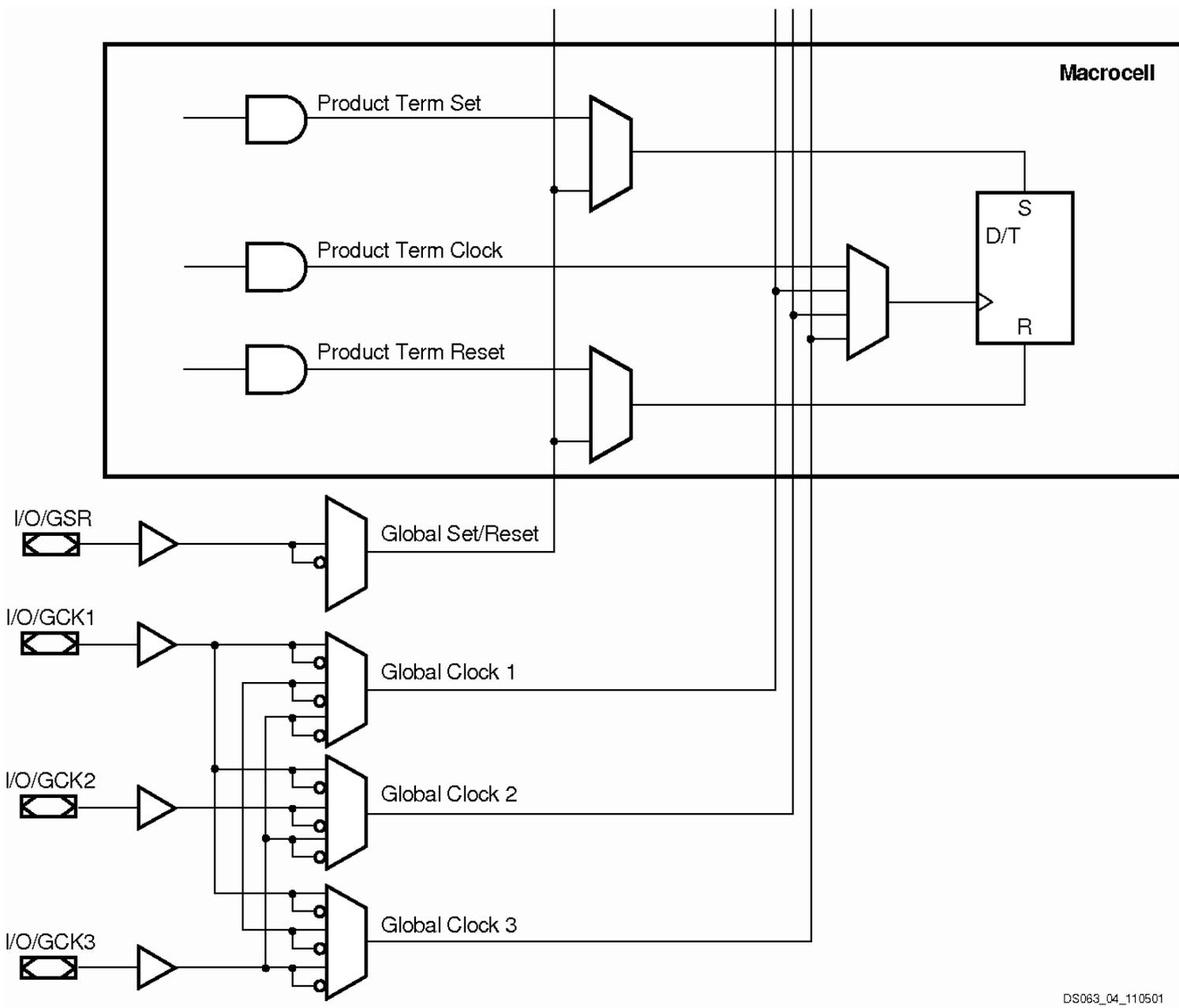
Macrocella



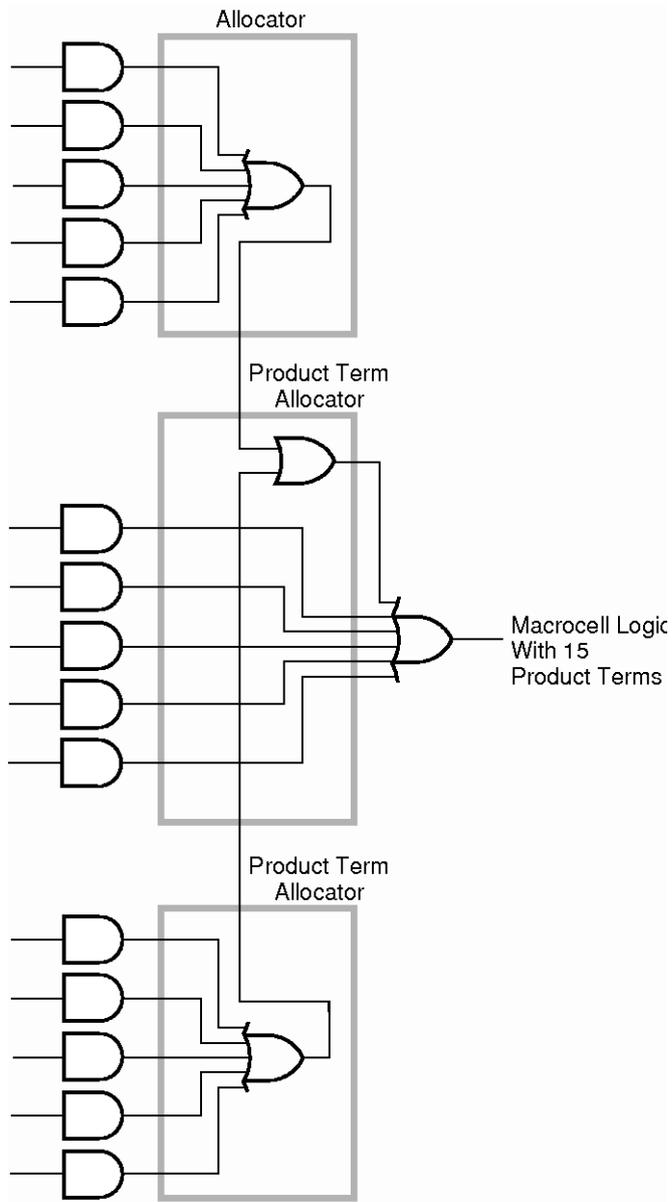
- Configurable como combinacional/registrada.
- Registros D o T, con entradas asíncronas reset/preset
- 5 productos directos desde el array y otros desde otras celdas
- Varias fuentes de reloj seleccionables

DS063_03_110501

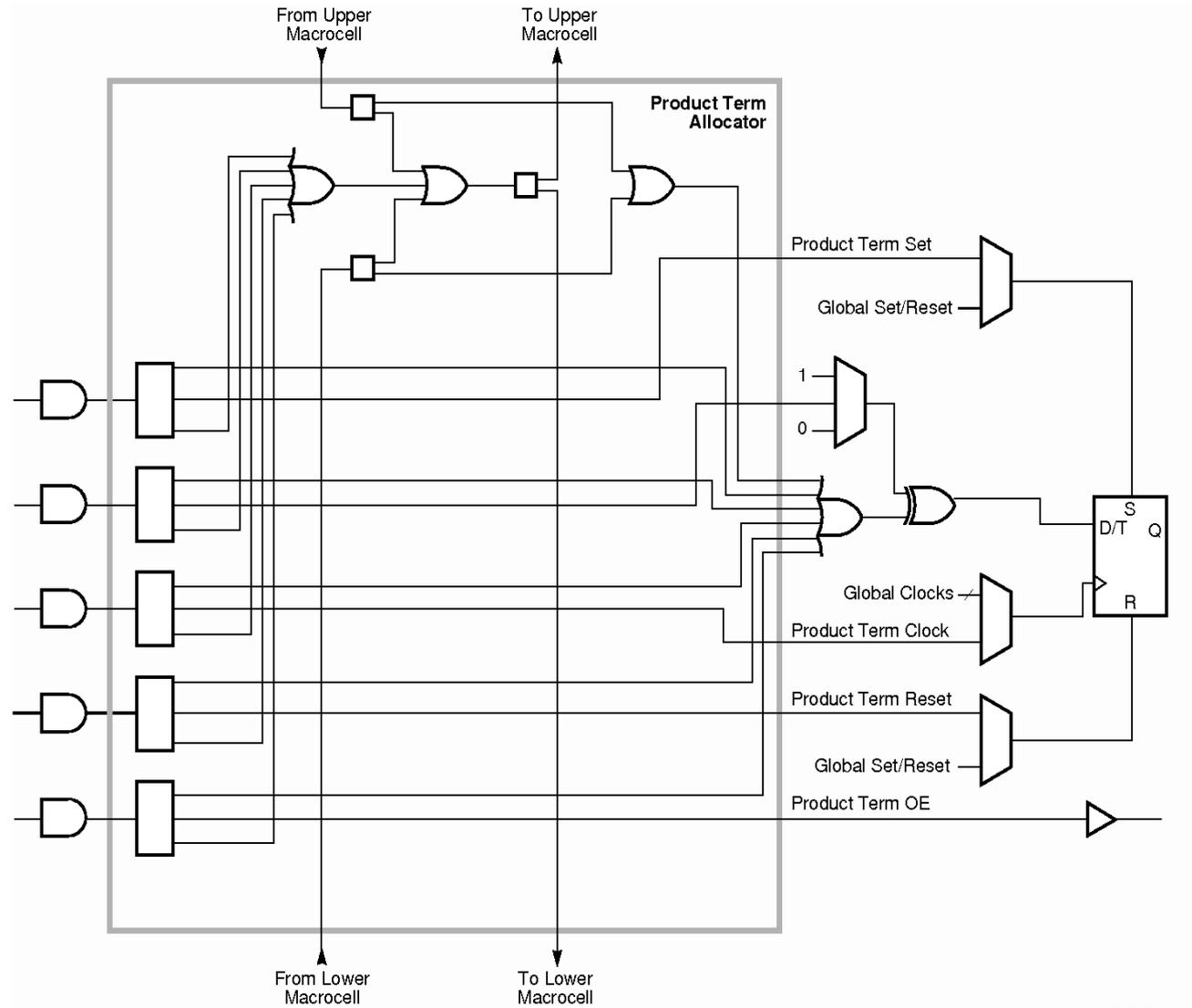
fuentes de reloj



Distribuidor de productos

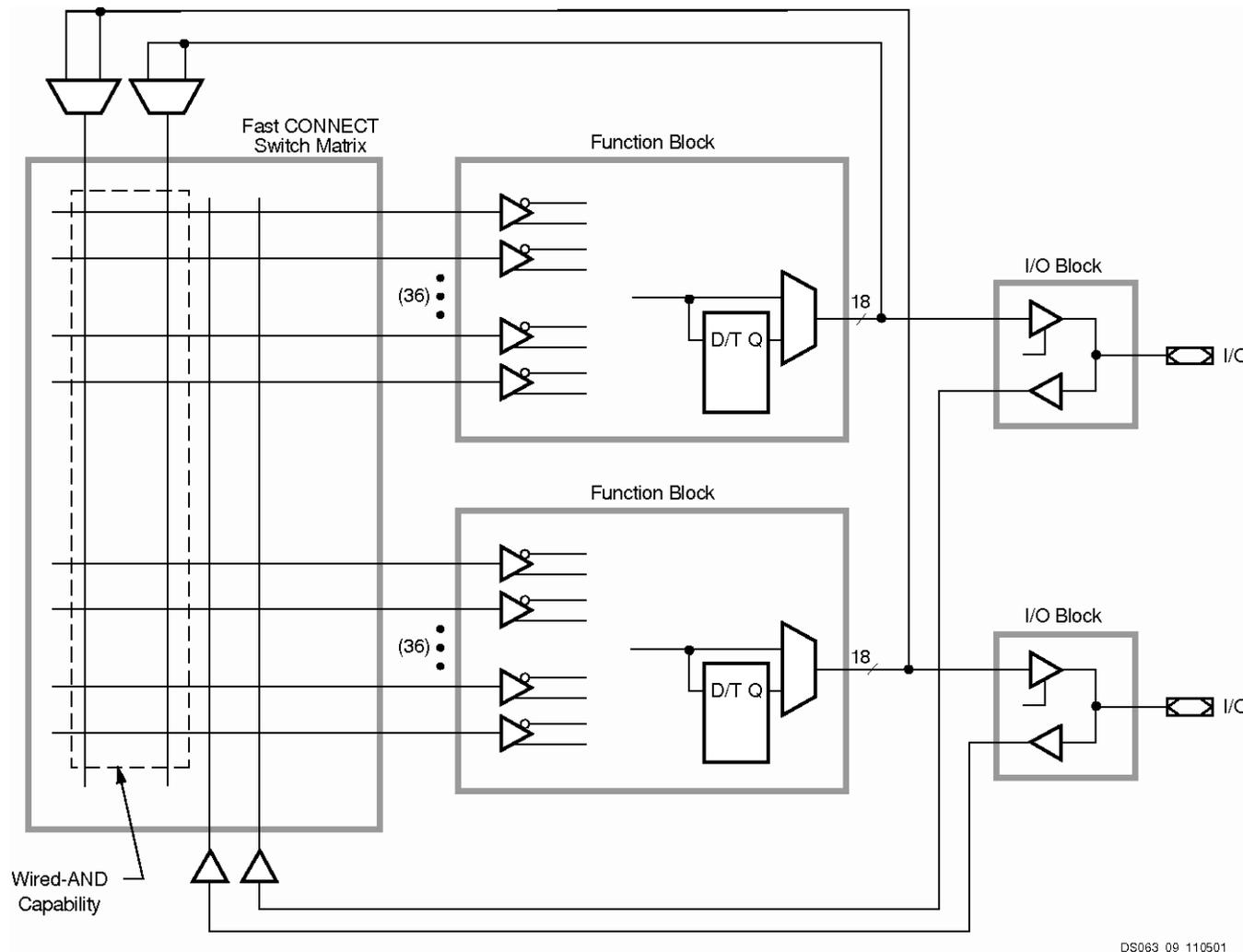


DS063_06_1105f



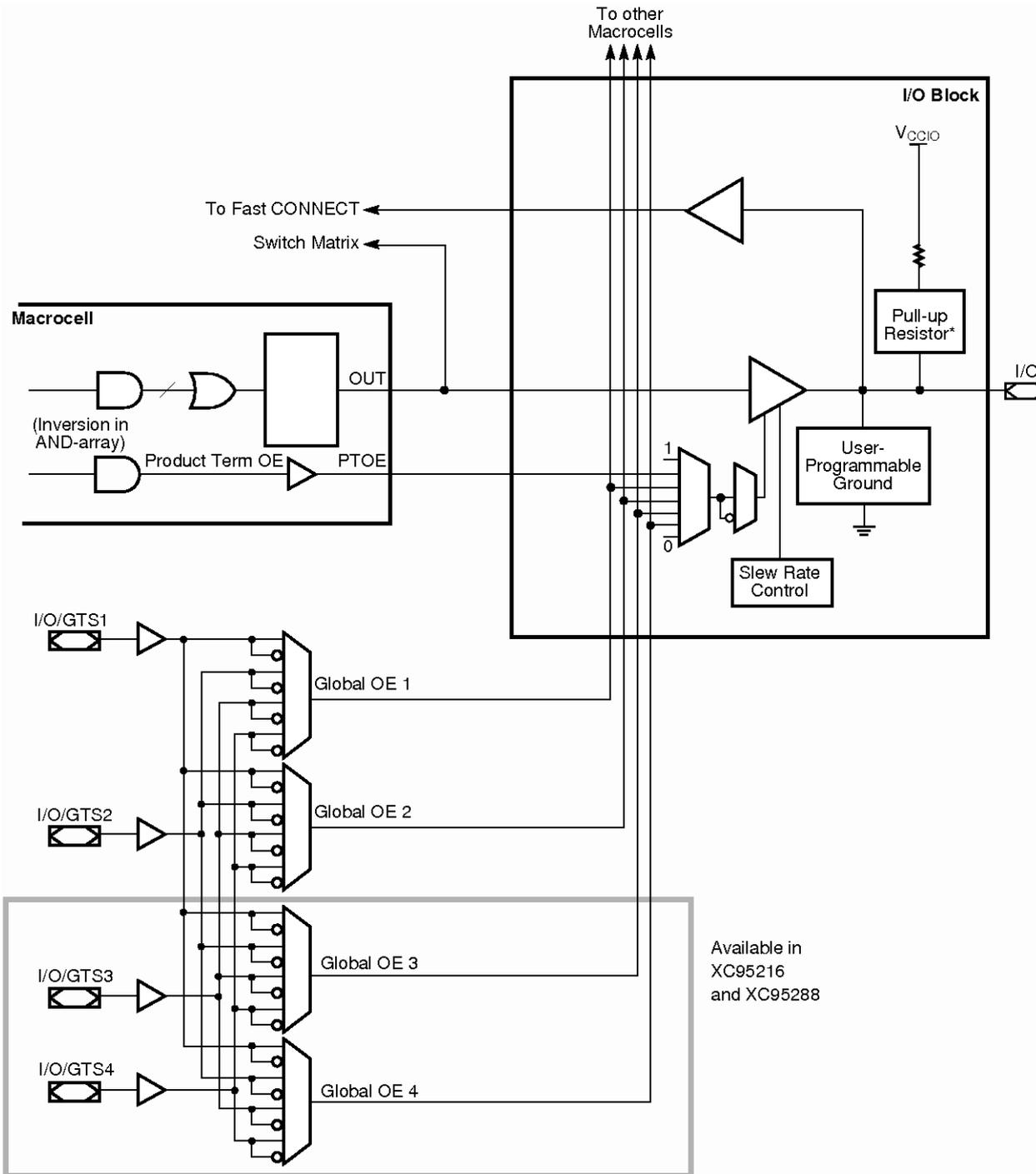
DS063_06_110501

Matriz de conmutación rápida



- Todas las salidas de los bloques de función y todos los pines de entrada van a la matriz
- La matriz hace una AND cableada de múltiples líneas y ataca a los bloques de función.

Bloques de E/S

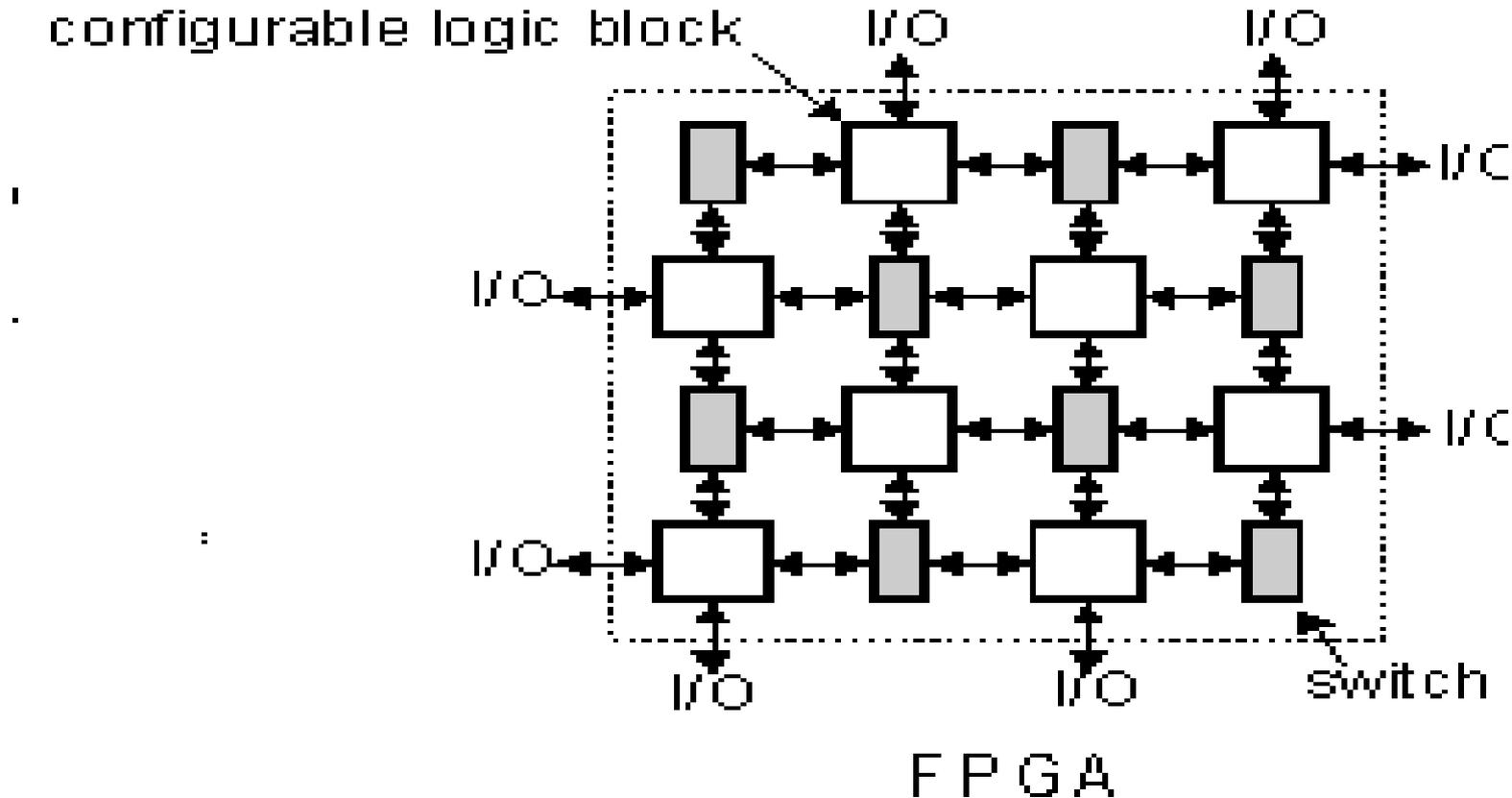


- Buffer de entrada compatible con TTL, CMOS de 5V y 3,3V
- OE generado desde un producto o desde señales específicas
- Control de polaridad programable
- Resistencia de pull-up programable (10K)
- Capacidad de entregar hasta 24 mA

Available in
XC95216
and XC95288

FPGAs

- Mucha mayor complejidad y flexibilidad
- Estructura



- Bloques lógicos configurables (CLB) -> cada uno realiza una función lógica
- Array de conexiones programables mediante switches distribuidos por todo el FPGA -> con las conexiones se realizan funciones complejas.

AT40Kxx

- Características
 - Compatible XC4000 de Xilinx
 - 8 relojes externos con distribución “low skew”
 - Reconfiguración total/parcial en el sistema
 - Versiones 5V y 3,3V
 - 128-384 E/S compatibles PCI
 - Entre 2K y 18Bbits SRAM de 10ns
 - 5.000 a 50.000 puertas lógicas
 - 256 a 2304 registros
 - 84-352 pines

Diagrama de bloques

 = Vertical Repeater

 = Horizontal Repeater

 = Core Cell

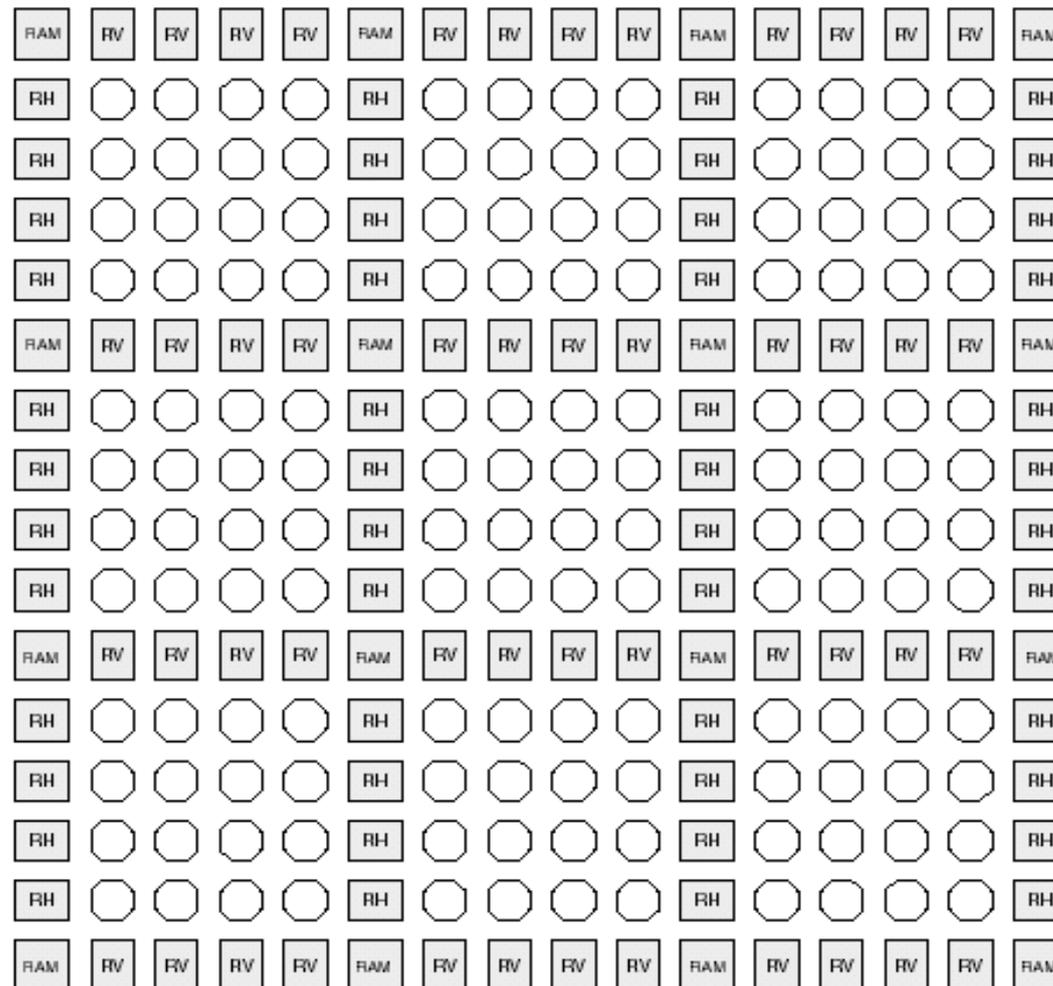
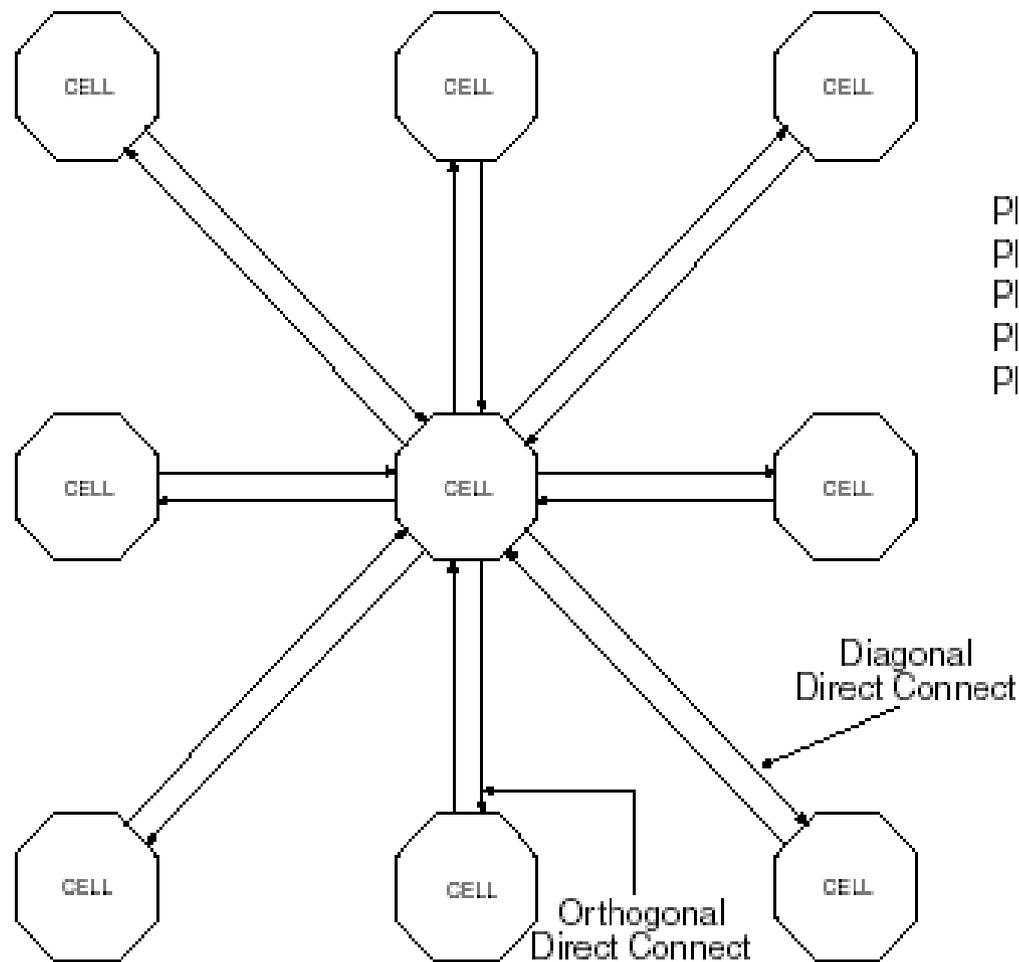
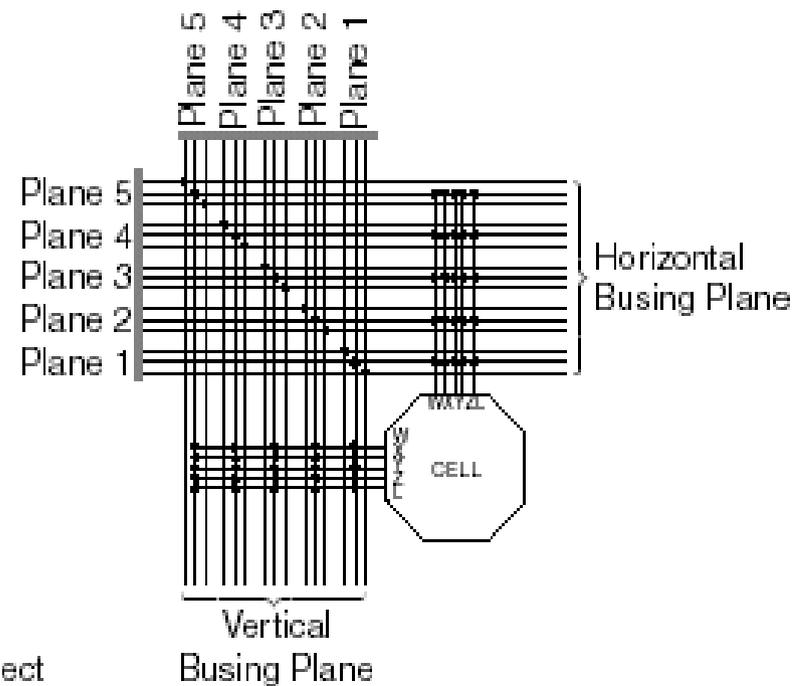


Figure 4. Cell Connections



(a) Cell-to-cell Connections



(b) Cell-to-bus Connections

Figure 8. RAM Logic

