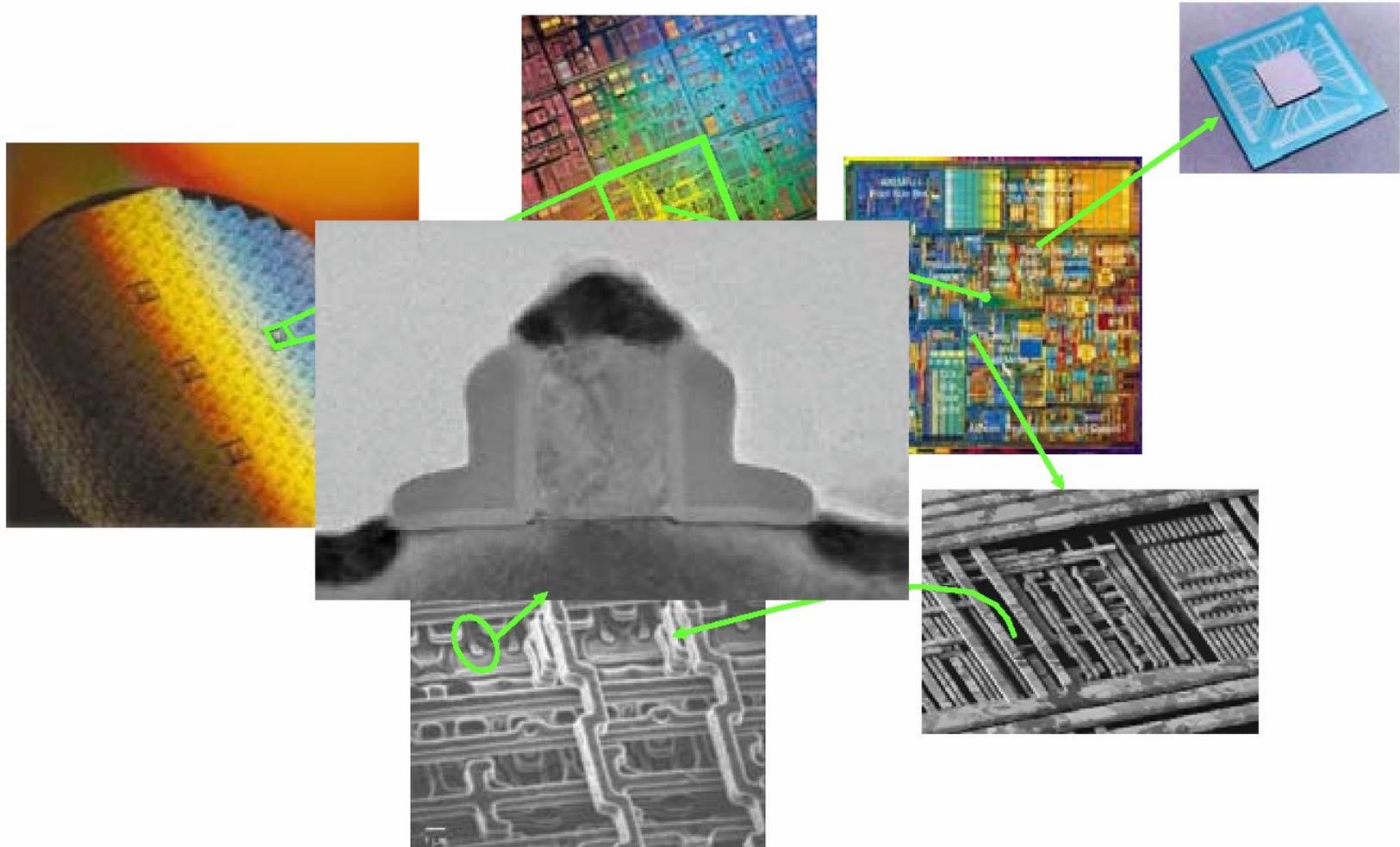
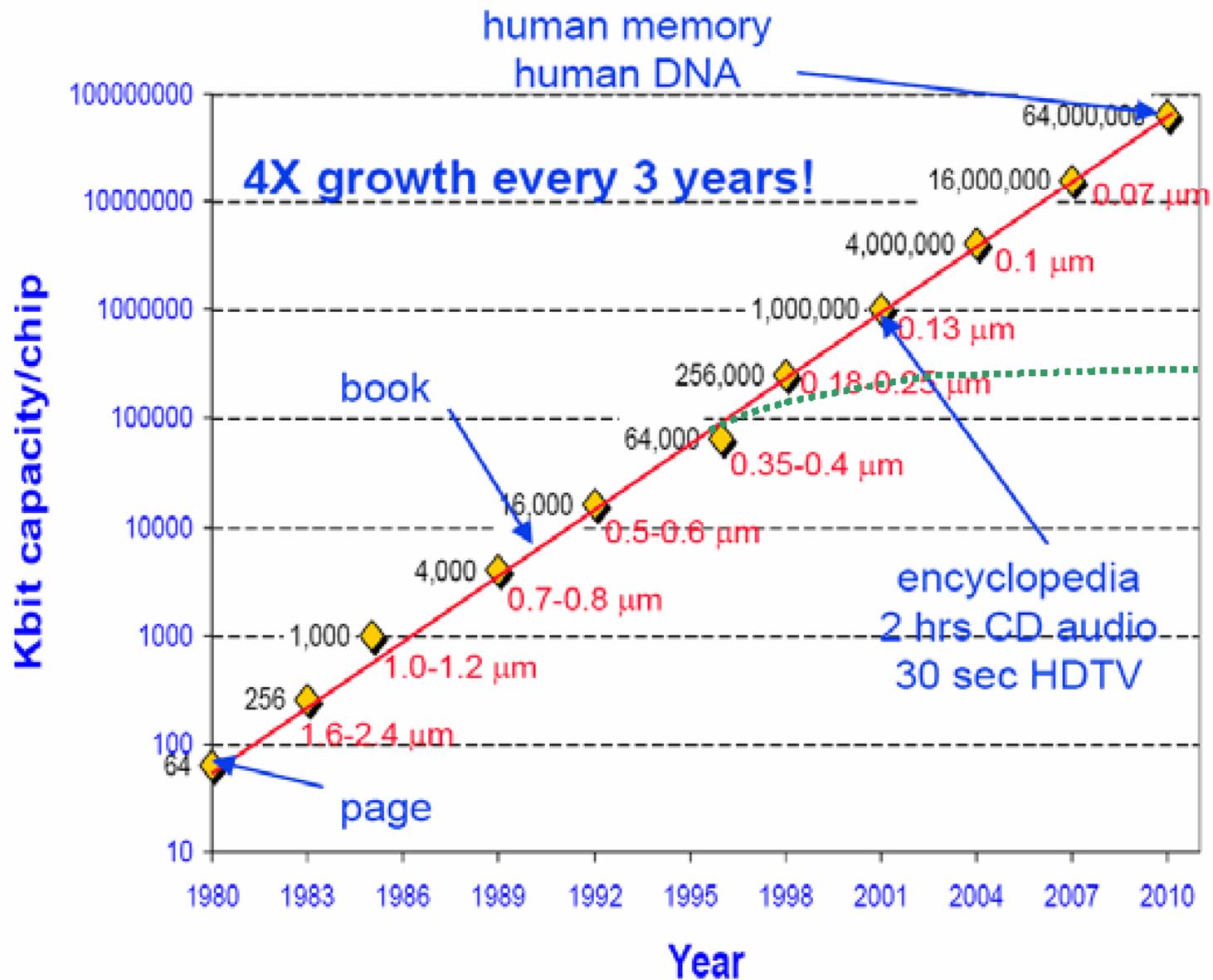


Desarrollo de circuitos integrados

Del microprocesador al transistor

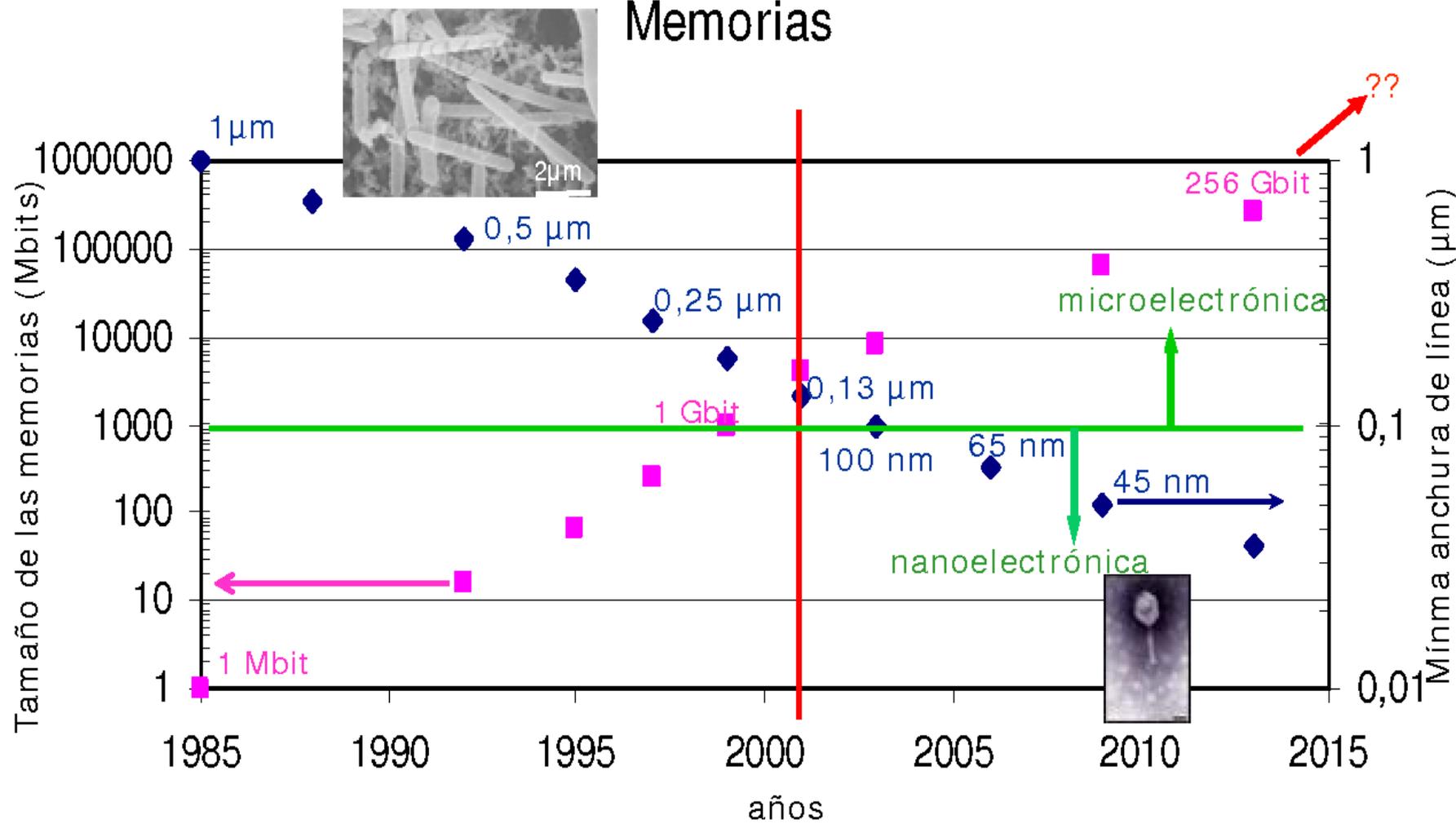


Evolución del nivel de integración



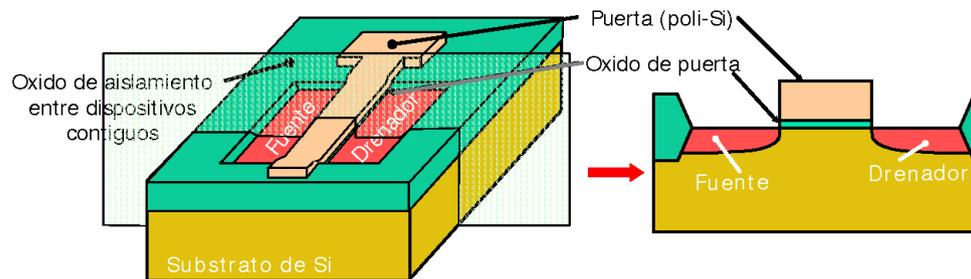
Capacidad de almacenamiento de información

Memorias



Estructura de un transistor

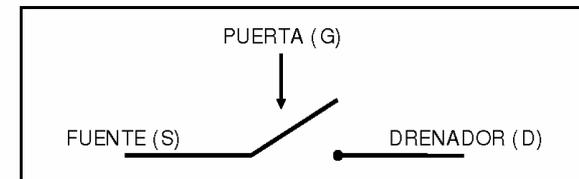
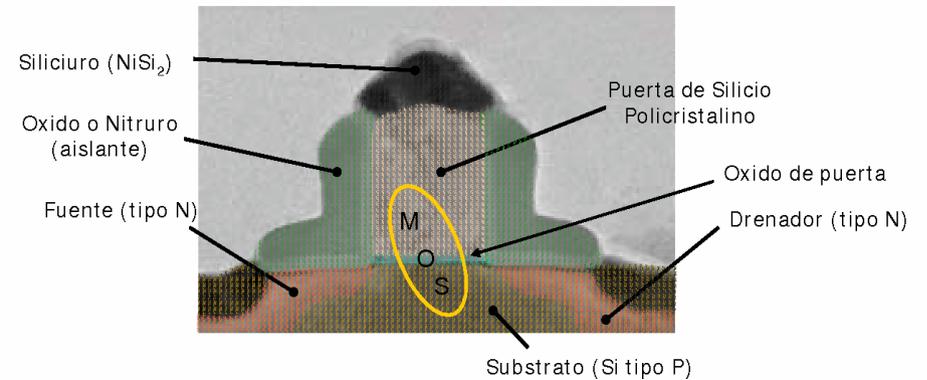
Fabricación del MOSFET



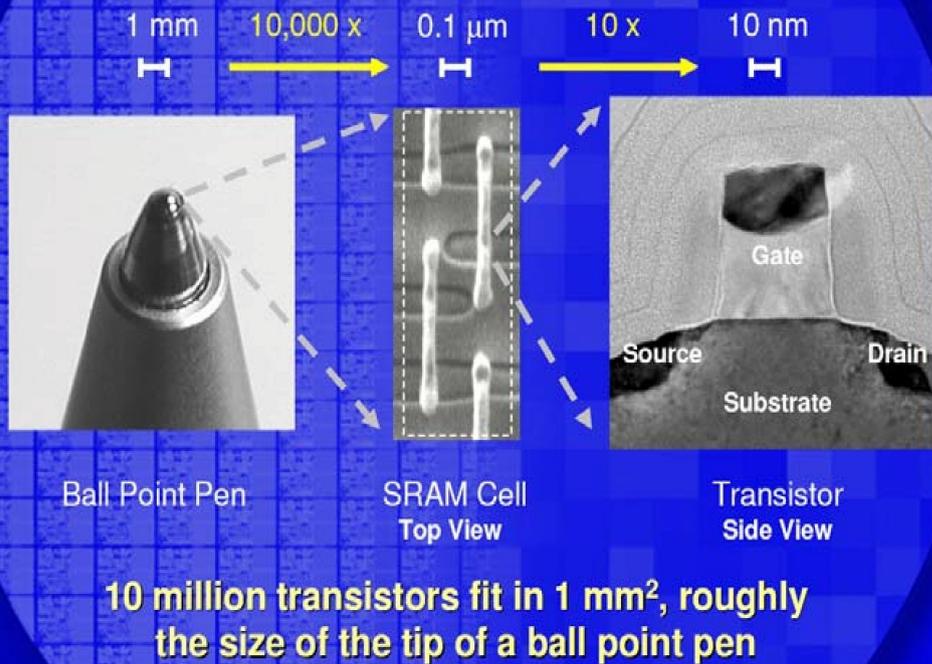
- I. Creación de las zonas de aislamiento entre dispositivos
- II. Formación del dispositivo
- III. Conexiones metálicas

Estructura del transistor MOSFET

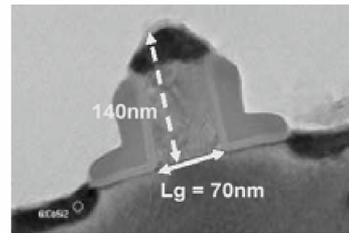
MOSFET: Transistor de Efecto de Campo con estructura Metal-Oxido-Semiconductor



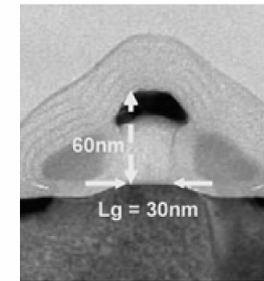
10 Million Transistors Fit in 1 mm²



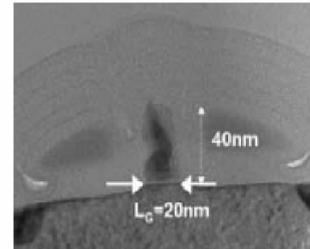
Próximas generaciones de MOSFETs



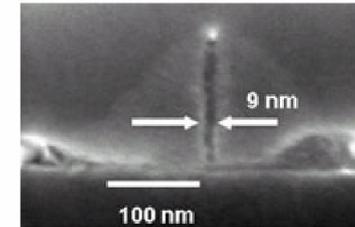
Long. Puerta = 70 nm
En producción en 2002



Long. Puerta = 30 nm
En producción en 2006



Long. Puerta = 20 nm
Fase de investigación



Long. Puerta = 9 nm
Fase de investigación

Intel:

-desarrollo de micros 45nm Noviembre 2007

-desarrollo de micros 32nm 2009

Ley de Moore:

Cada 1,5 ó 2 años:

- Se duplica el número de bits por chip
- Se duplica el producto (frecuencia de reloj (MHz) x instrucciones/ciclo) = MIPS (millones de instrucciones por segundo)

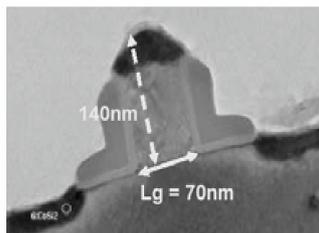
“Corolario”

Para ser competitivo, el aumento de la productividad debe permitir una reducción del coste-por-función (microcents por bit) de un 29% cada año; e.d., el precio de un transistor debe ser el 71% del precio del año anterior. De esta forma, en 2 años, el precio del transistor se habrá reducido a la mitad ($0.71 \times 0.71 = 0.5$), y el precio del chip no habrá aumentado.

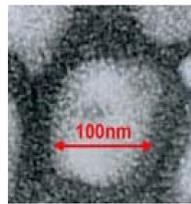
Para lograr esto, es necesario:

- Aumentar la productividad de los equipos
- Aumentar el rendimiento de fabricación
- Usar los mayores tamaños de oblea posibles
- Aumentar el tamaño del chip

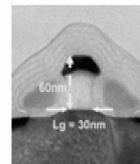
Próximas generaciones de MOSFETs



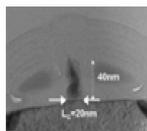
Long. Puerta = 70 nm
En producción en 2002



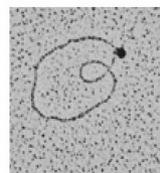
Virus de la gripe



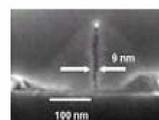
Long. Puerta = 30 nm
En producción en 2006



Long. Puerta = 20 nm
Fase de investigación



Partícula de oro de 10 nm pegada al anticuerpo Z-DNA



Long. Puerta = 9 nm
Fase de investigación



Entorno de desarrollo



El proceso de fabricación

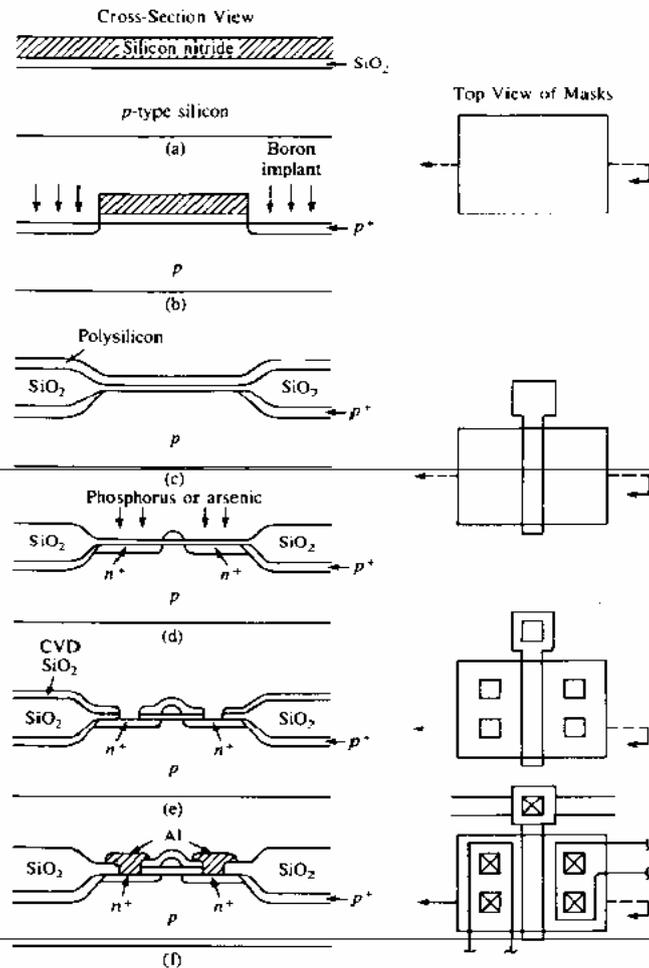


Fig. 1.4 Process sequence for a semirecessed oxide NMOS process. (a) Silicon wafer covered with silicon nitride over a thin padding layer of silicon dioxide; (b) etched wafer after first mask step. A boron implant is used to help control field oxide threshold; (c) structure following nitride removal and polysilicon deposition; (d) wafer after second mask step and etching of polysilicon; (e) the third mask has been used to open contact windows following silicon dioxide deposition; (f) final structure following metal deposition and patterning with fourth mask.

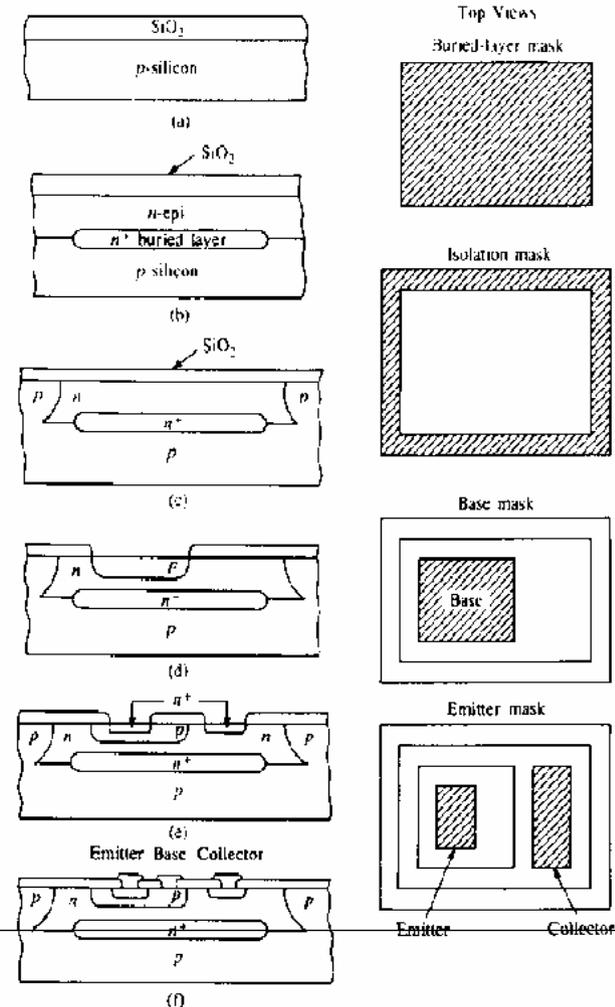
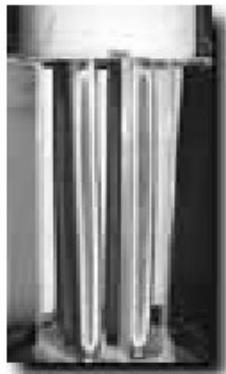


Fig. 1.7 Cross-sectional view of the major steps in a basic bipolar process. (a) Wafer with silicon dioxide layer; (b) following buried-layer diffusion using first mask, and subsequent epitaxial layer growth and oxidation; (c) following deep-isolation diffusion, using second mask; (d) following boron-base diffusion using third mask; (e) fourth mask defines emitter and collector contact regions; (f) final structure following contact and metal mask steps.

El proceso de fabricación. Etapas

Obtención de Polisilicio



Raw
Polycrystal
Silicon Rods

Las barras de polisilicio se obtienen en un horno a partir de la mezcla de triclorosilano (SiHCl_3) con gas H_2 , depositándose sobre espigas metálicas.

Los tubos así obtenidos se someten a un proceso de refinado disolviéndolos en ácido fluorhídrico (HF) y se obtienen los lingotes de polisilicio.



Polysilicon Ingots

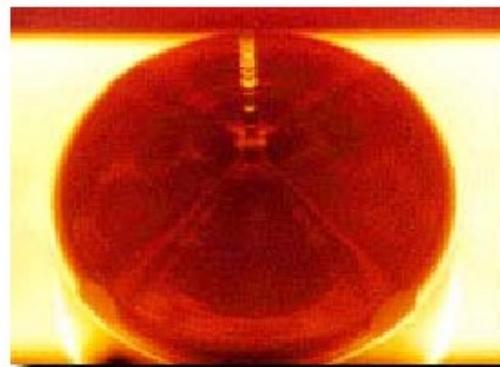
Obtención de lingotes de Silicio Monocristalino

Los lingotes se obtienen por el método de Czochralski



El silicio policristalino es molido e impurificado con elementos del tipo As, B, P o Sb y fundido a 1400°C en un crisol de cuarzo en atmósfera de gas inerte (Ar) de alta pureza.

El diámetro del lingote se controla con la temperatura del baño y la velocidad de extracción.



Inside CZ Puller
(MEMC)

Obtención de lingotes de Silicio Monocristalino



CZ Crystal Pullers
(Mitsubishi Materials Silicon)

Los mayoría de los lingotes son de 150 mm (6") y 200 mm (8"), pero también pueden ser de 300 mm (12") y 400 mm (16")



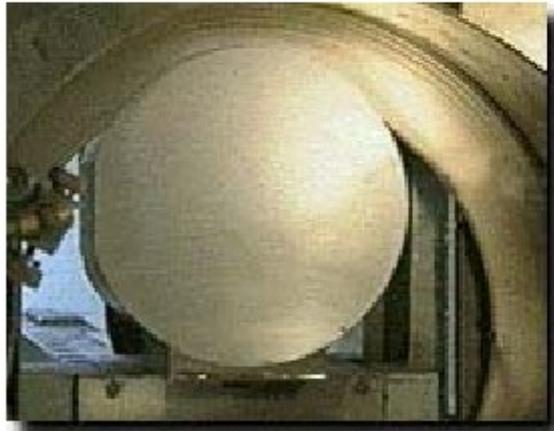
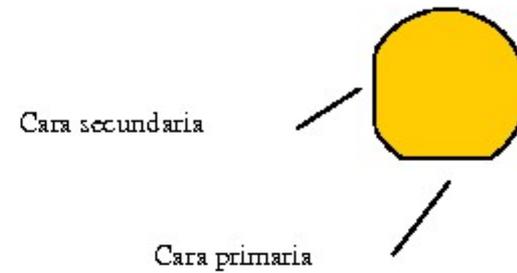
Silicon Ingots
(Mitsubishi Materials Silicon)

Los equipos de estiramiento se instalan sobre fundamentos de hormigón de gran profundidad para prevenir la vibración



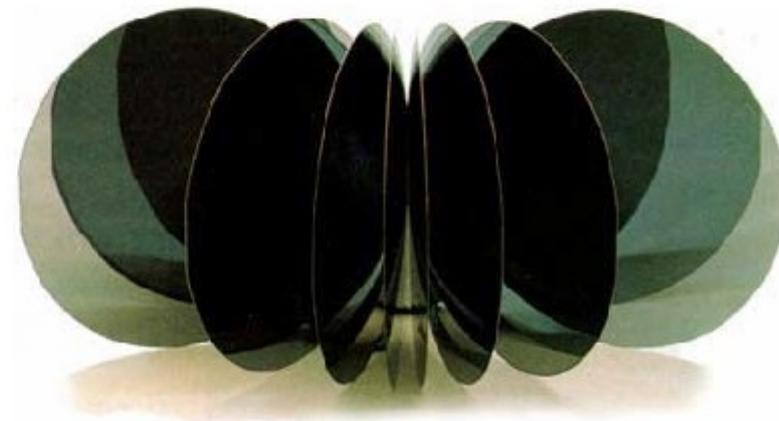
Corte de Obleas

Antes de proceder a cortar los lingotes en finas obleas se hacen unas marcas para especificar la orientación cristalina



ID Wafer Slicing Saw

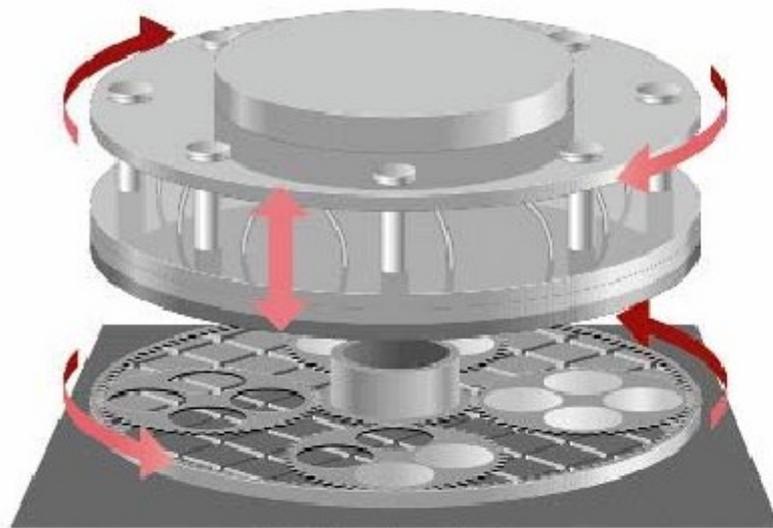
Las obleas se cortan en una sierra circular cuyo borde de corte es el interno para asegurar una mayor precisión y finura



Esmerilado y Pulido

Esmerilado

Las obleas son esmeriladas con un abrasivo para eliminar los defectos superficiales dejados por la sierra y alisar las caras de la oblea



Water Lapping Machine
(Mitsubishi Materials Silicon)



Después del esmerilado se realiza un ataque químico con una solución de ácido nítrico (HNO_3)/ácido acético (CH_3COOH) o hidróxido de sodio (NaOH) para eliminar grietas microscópicas derivadas del proceso de esmerilado.

Esmerilado y Pulido

Pulido

A continuación las obleas se someten a una combinación de pulido químico y mecánico y es abrigantado con un abrasivo reforzado con sílice, agua de alta pureza e hidróxido de sodio (NaOH)



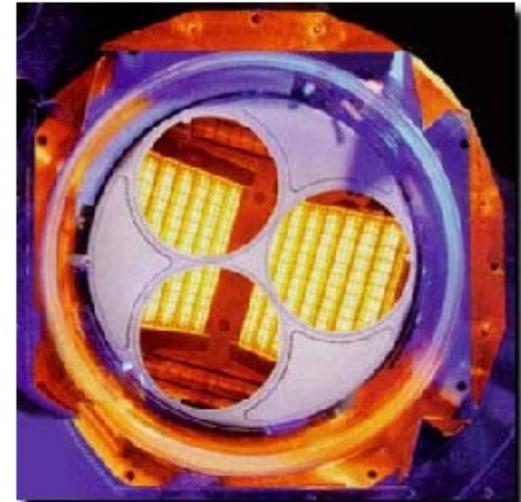
Wafer Polishing
(Strasbaugh Corporation)

Después del pulido la oblea se somete a un lavado para eliminar todas las impurezas

Crecimiento Epitaxial

Este proceso se utiliza para hacer crecer una capa de silicio con una concentración diferente, generalmente menor, de dopantes en el seno del sustrato.

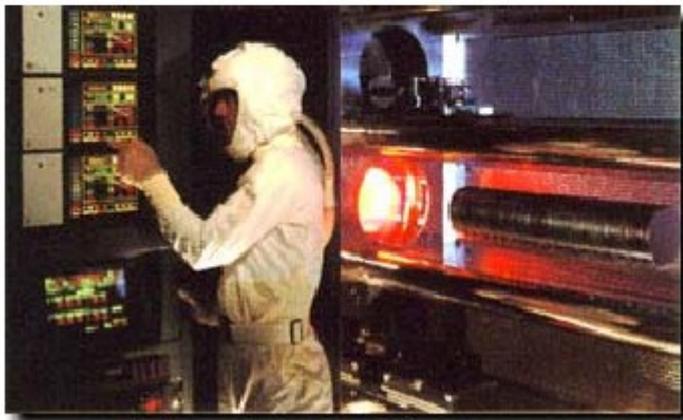
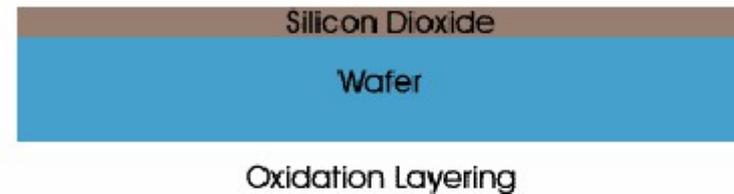
El triclorosilano (SiHCl_3) o el tetracloruro de silicio (SiCl_4) y el hidrógeno se combinan con gas de diborano (B_2H_6) o fosfina (PH_3) para actuar como dopante.



Epitaxial Reactor
(Moore Epitaxial ©)

Oxidación

Se crea una fina capa de SiO_2 sobre la superficie por exposición a una mezcla de O_2 e H_2 de alta pureza a 1000°C

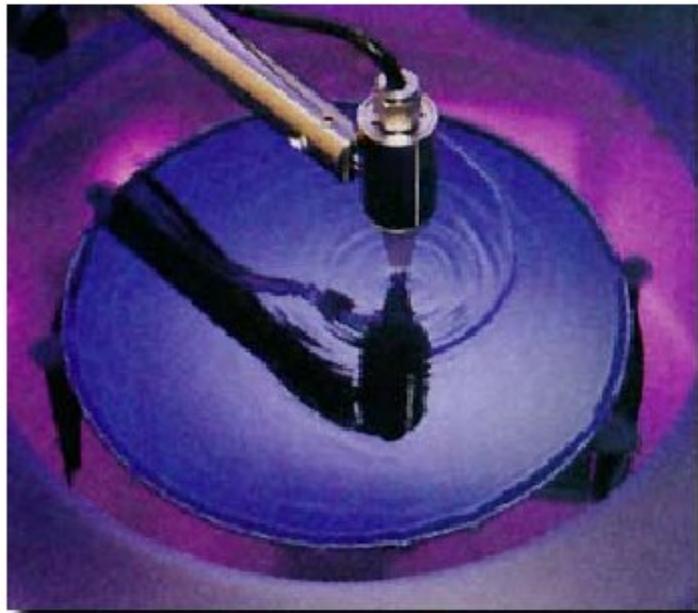


Oxidation Furnace
(Silicon Valley Group - Thermco Systems)

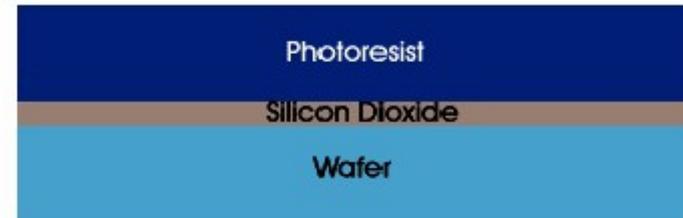
El óxido se utiliza como aislante (en torno a 1500 \AA) y como óxido de puerta (entre 200 y 500 \AA)

Recubrimiento con fotoresina

La fotoresina es un material fotosensible que se aplica sobre la oblea en estado líquido en pequeñas cantidades



Photoresist Application
(Ontrak)



Photoresist Coating

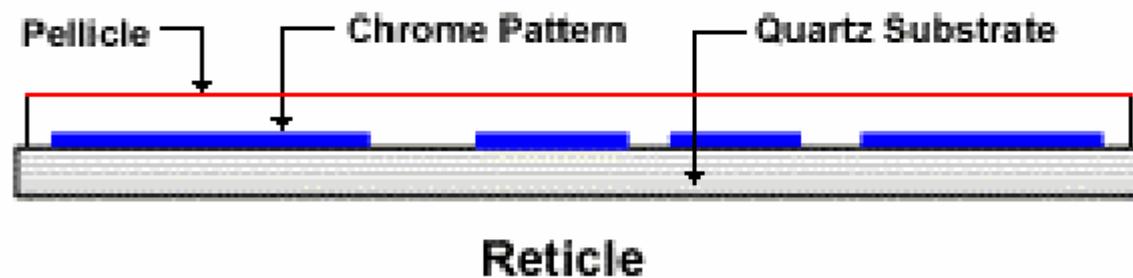
La oblea se hace girar a 3000 r.p.m. extendiendo el material en forma de una capa uniforme de entre 2 y 200 μm de espesor.

Hay dos tipos de fotoresinas: negativa y positiva

La fotoresina positiva se adapta mejor a las exigencias de la tecnología moderna en cuanto a alcanzar menores dimensiones, las cuales se encuentran por debajo de 1,0 μm y puede llegar a 0,15 μm .

Generación de patrones

Durante la fabricación de semiconductores se pueden requerir hasta 50 capas diferentes. Cada una de ellas requerirá un patrón que está contenida en una máscara o retículo.

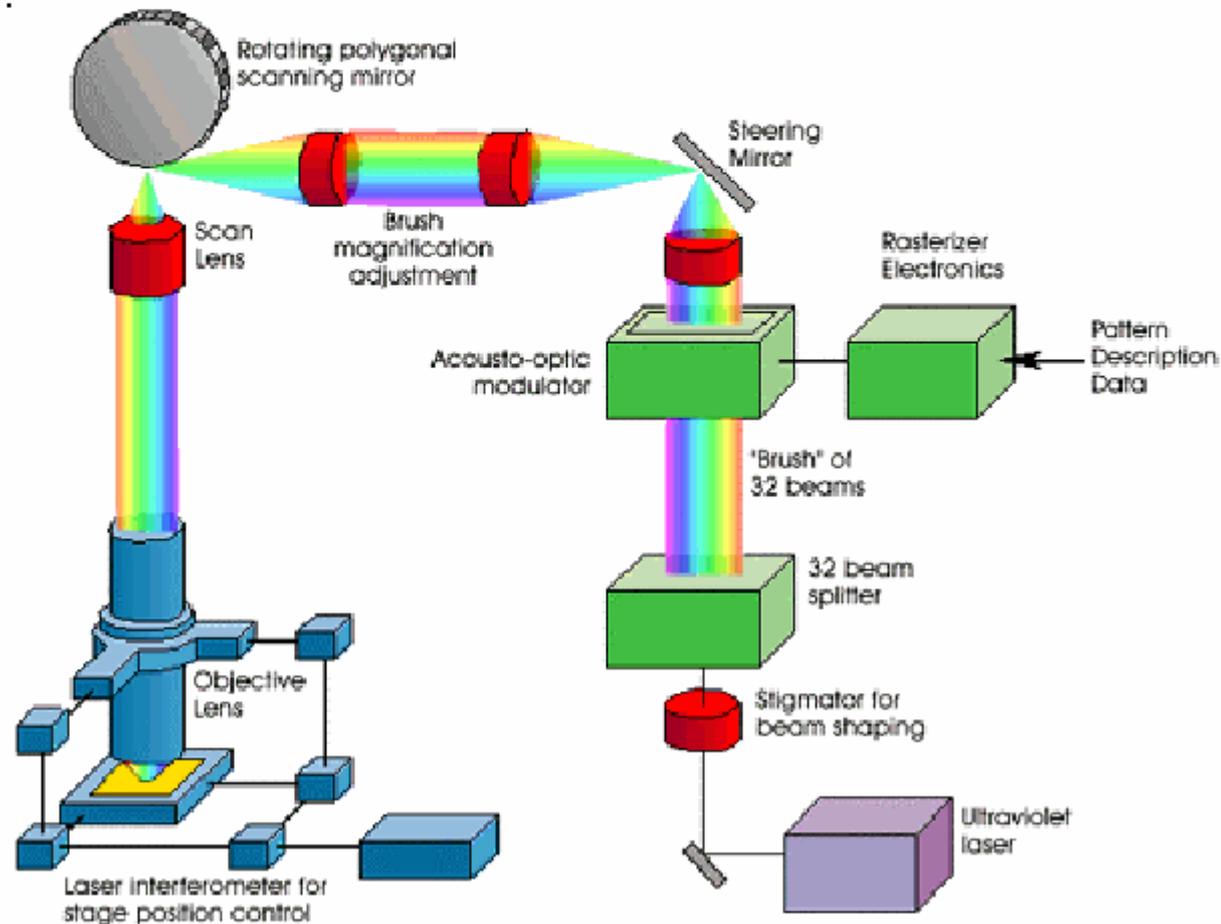


Los patrones son generados con herramientas CAD y son transferidos al retículo (recubierto con cromo virgen y una capa de fotoresina) por uno de los dos métodos: generación por láser o por haz de electrones

Generación de patrones

Generación de patrones por láser

Toma los datos proporcionados por el software y, por medio de lentes, divisores de haces, obturadores y espejos controlados por ordenador, expone las áreas específicas de la fotoresina a la luz UV.

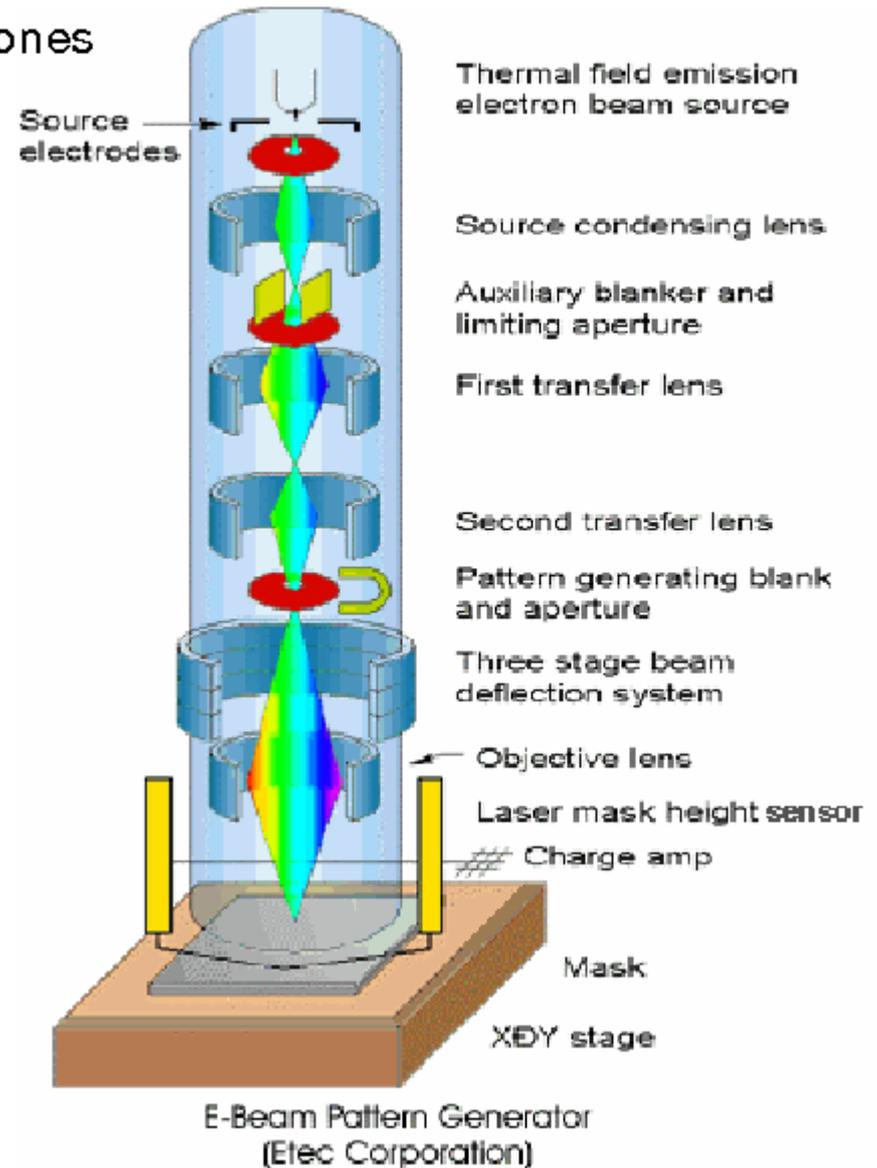


Laser Pattern Generator (Etec Corporation)

Generación de patrones

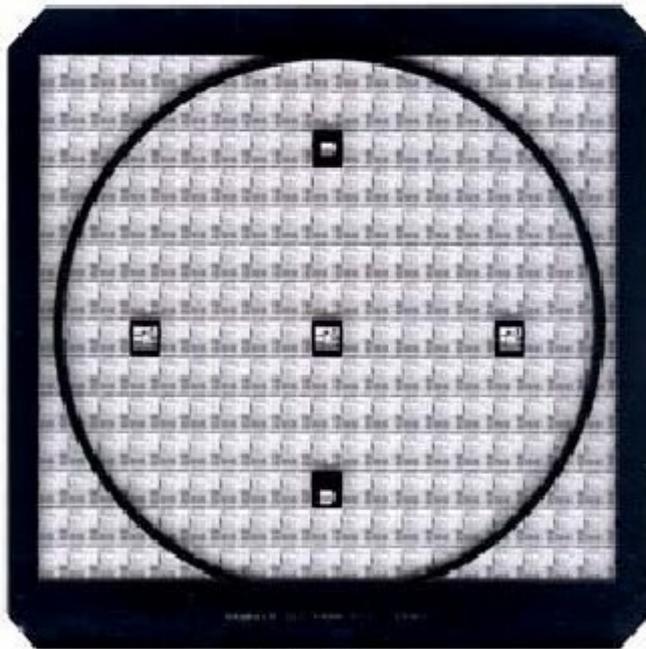
Generación de patrones por haz de electrones

También interpreta los datos proporcionados por el software pero utiliza una serie de imanes, cortinas y obturadores controlados por ordenador para exponer la fotoresina a un haz de electrones de alta intensidad.



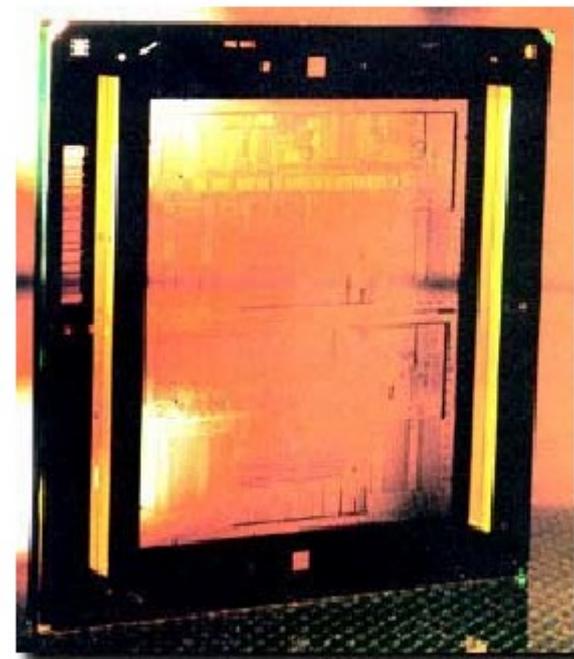
Generación de patrones

La fotoresina expuesta (ácida) es eliminada con una solución base, dejando al descubierto la parte del cromo que se quiere eliminar. El cromo es atacado con una solución ácida de nitrato cérico de amonio, $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6]$.



Reticle Mask

Para tecnología mayor de $1,5 \mu\text{m}$
Contiene la imagen de toda la oblea

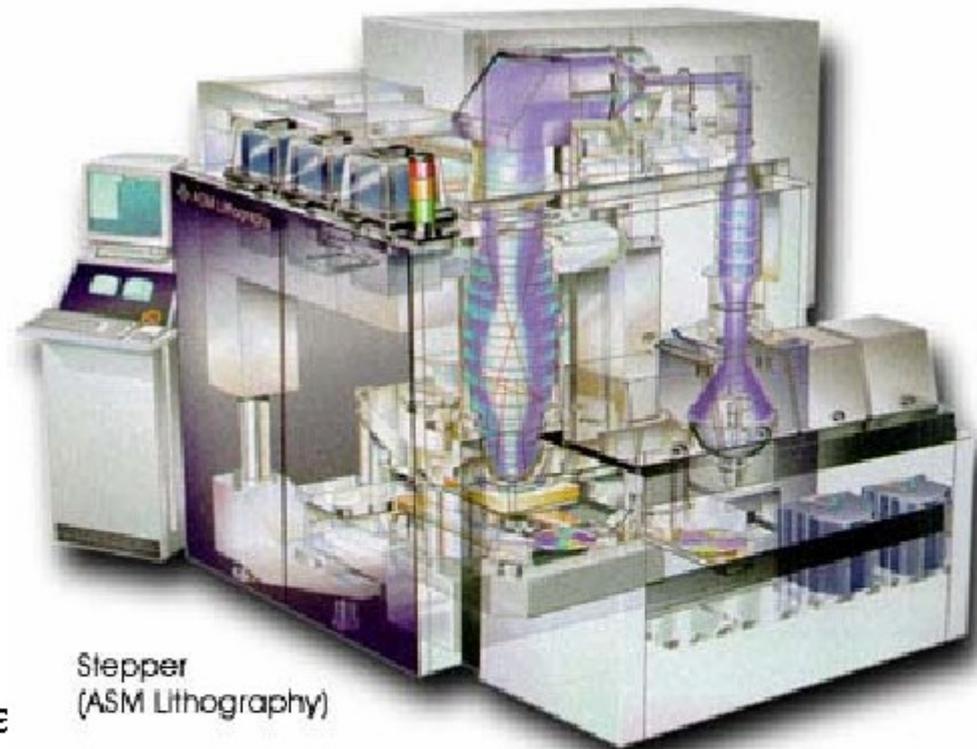
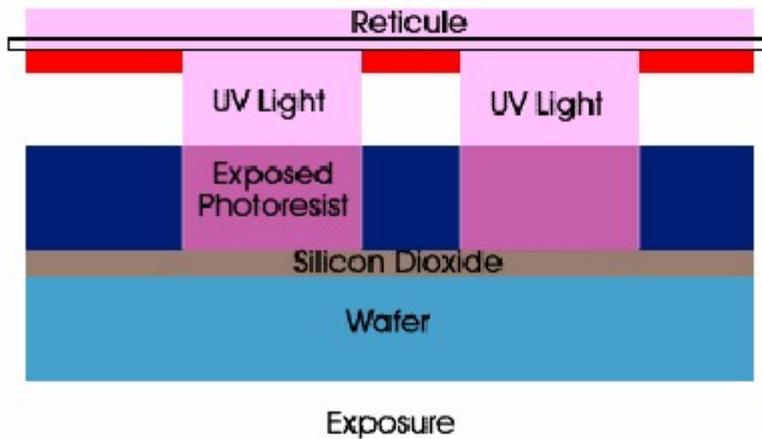


Reticle Mask (SGS Thomson)

Para tecnología menor de $1,5 \mu\text{m}$
Contiene la imagen de un sólo dispositivo

Exposición por etapas (litografía)

La aplicación y exposición de la fotoresina para generar una capa sobre la oblea es similar a la utilizada en la generación de las máscaras.



Stepper
(ASM Lithography)

En la actualidad se utiliza una máquina denominada "escalador litográfico".

Exposición por etapas (litografía)

Los rayos UV multibanda:

para tecnología de hasta $2,0\ \mu\text{m}$

La luz UV de una sola longitud de onda:

para tecnología de hasta los $0,25\ \mu\text{m}$

Las longitudes típicas son:

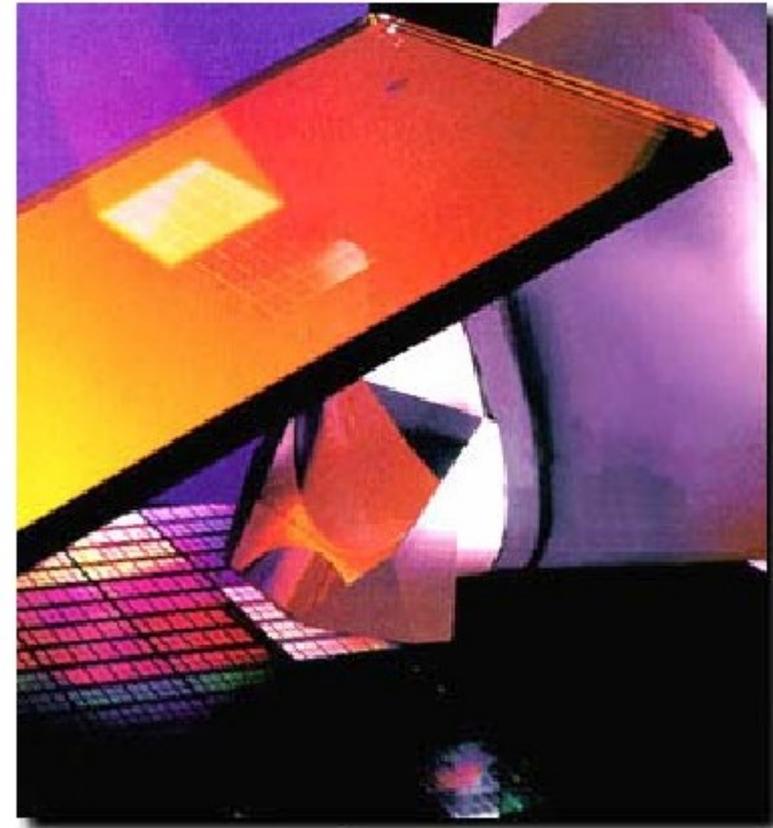
$436\ \mu\text{m}$ (línea G)

$405\ \mu\text{m}$ (línea H)

$365\ \mu\text{m}$ (línea I)

$248\ \mu\text{m}$ (UV profunda)

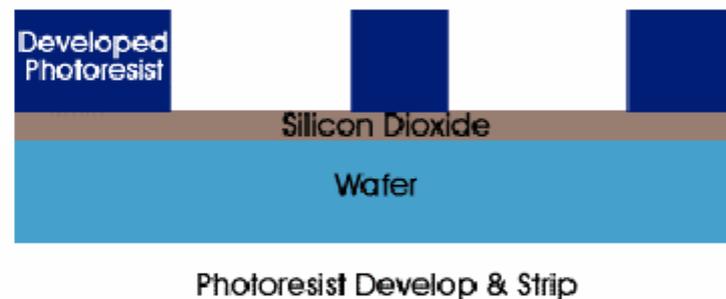
$196\ \mu\text{m}$ (actualmente en prueba)



Stepper
(Ultratech)

Revelado y revenido

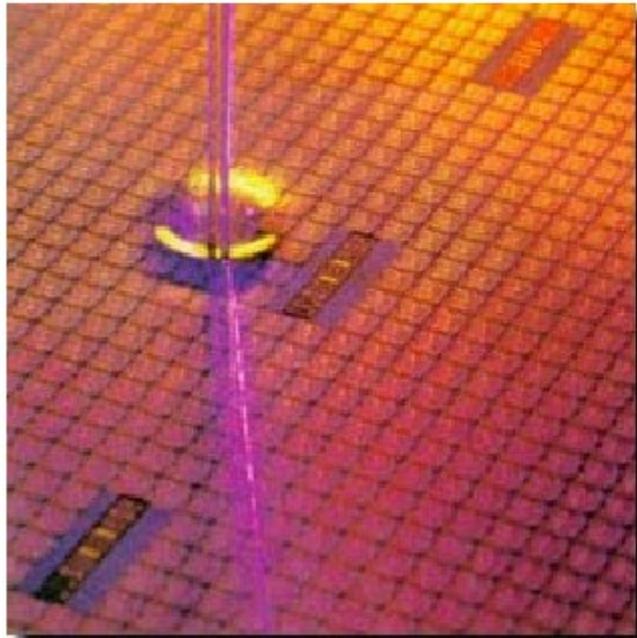
Después de la exposición, la oblea es revelada tanto con una solución ácida como una base para eliminar las zonas de la fotoresina expuestas.



Una vez eliminada la parte expuesta, la oblea es sometida a un revenido suave (a baja temperatura) para endurecer la fotoresina remanente.

Ataque químico

Para eliminar el material de las áreas seleccionadas de la oblea se utilizan diversos tipos de soluciones ácidas, caústicas y bases. Por la peligrosidad inherente a estas sustancias, los trabajos se realizan en cubas especiales de inmersión.



Wet Bench Acid Etch
(Cybor)



La solución con ácido fluorhídrico (HF) mezclado con fluoruro de amonio (NH_4F), permite eliminar el dióxido de silicio sin afectar a la capa inferior de silicio o polisilicio. El ácido fosfórico (H_3PO_4) se emplea para atacar las capas de nitruro de silicio (Si_3N_4), el ácido nítrico (HNO_3) se utiliza para atacar a los metales y el ácido sulfúrico (H_2SO_4) se utiliza para eliminar la fotoresina.

Centrifugado, Aclarado, Secado

A pesar de todas las precauciones las obleas deben ser constantemente limpiadas. Para ello se utiliza un dispositivo especial denominado SRD (Centrifugador, enjuagador y secador). El SRD limpia la oblea con agua RO/DI y lo seca con nitrógeno de alta pureza.



SRD (Spin, Rinse, Dryer)
(SEZ)

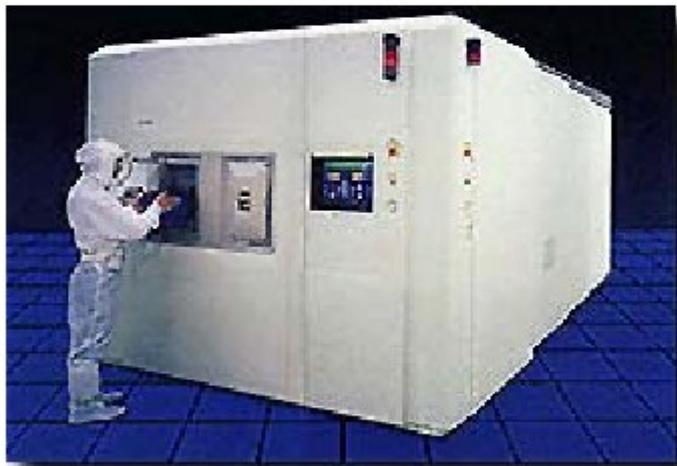
Siempre que sea posible se utiliza la manipulación automática o con robots, pero cuando esto no es posible las obleas se transportan por el personal en contenedores especiales.



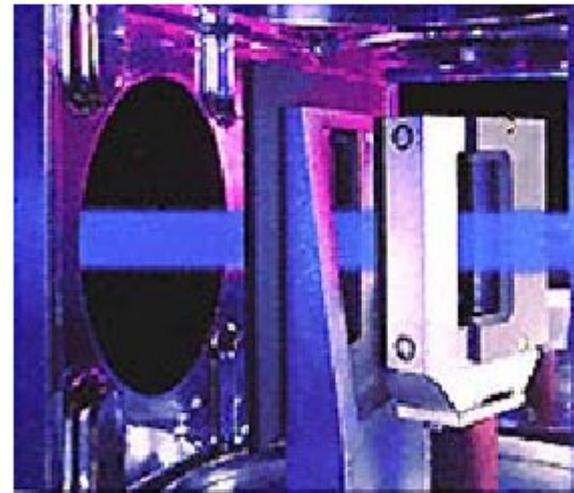
Wafer Handling Boat

Implante iónico

El implantador iónico utiliza un tubo acelerador de alta corriente e imanes de dirección focalizadores para bombardear la superficie de la oblea con iones de un dopante específico. Estos iones dopantes son implantados en la capa superior de la oblea, justo debajo de la superficie, modificando la conductividad de una región específica.



Ion Implanter
(Varian Associates)



Ion Implanter Steering Magnets
(Varian Associates)

Los equipos de implante se clasifican en los de alta corriente (corriente mayor de 3 mA) o de corriente media (menores de 3 mA)

Implante iónico

Para crear una región tipo p , se implanta un ion aceptor del tipo boro (B), galio (Ga) o Iridio (Ir).

Para crear una región tipo n , se implantan iones donadores de antimonio (Sb), arsénico (As), fósforo (P) o bismuto (Bi).



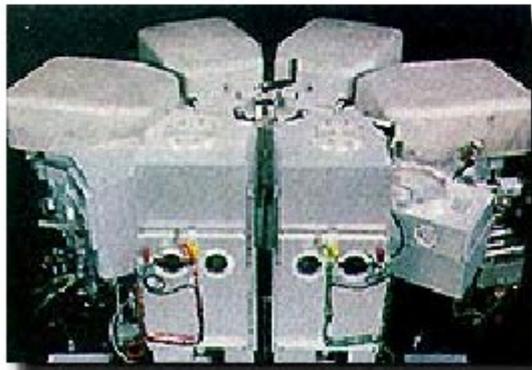
Ion Implanter Water Handling Mechanism
(Varian Associates)

Deposición química por vapor

La deposición química por vapor, o CVD, pertenece a esa clase de procesos que utilizan reacciones químicas controladas para crear capas en la oblea y emplea generalmente el nitrógeno e hidrógeno como gases portadores.

Por ejemplo:

El amoníaco (NH_3) y el diclorosilano (H_2SiCl_2) producirán una capa de nitruro de silicio (Si_3N_4). El silano y el oxígeno permiten obtener capas de dióxido de silicio. El hexafluoruro de tungsteno (WF_6) se utiliza para crear una capa de siliciuro de tungsteno



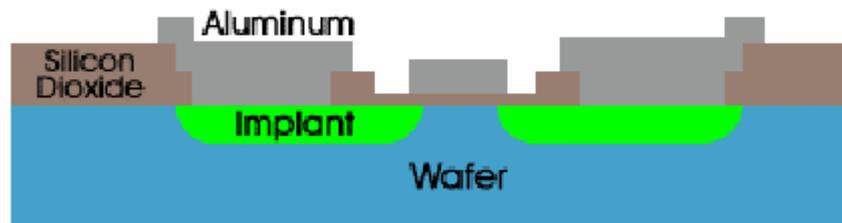
CVD Tool
(Applied Materials)



CVD Tool
(Applied Materials)

Metalización (deposición de metal)

Se utiliza para formar las capas de conducción y se aplican dos métodos diferentes: por evaporación y por chisporroteo, agrupados en la categoría de “deposición física por vapor” o PVD.

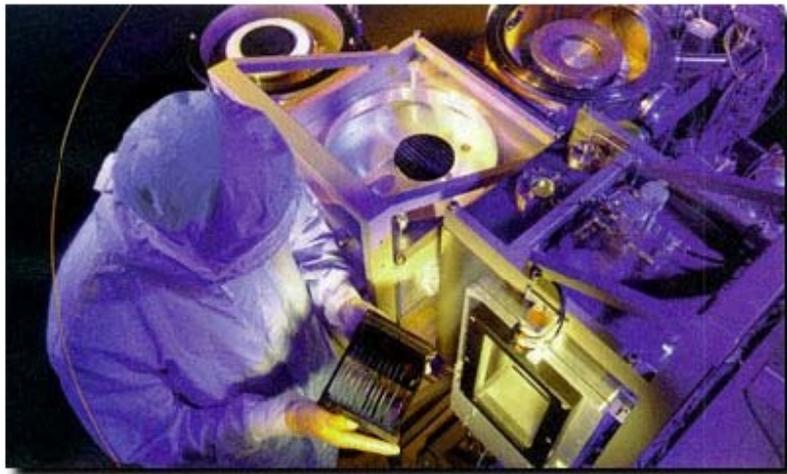


Metal Deposition

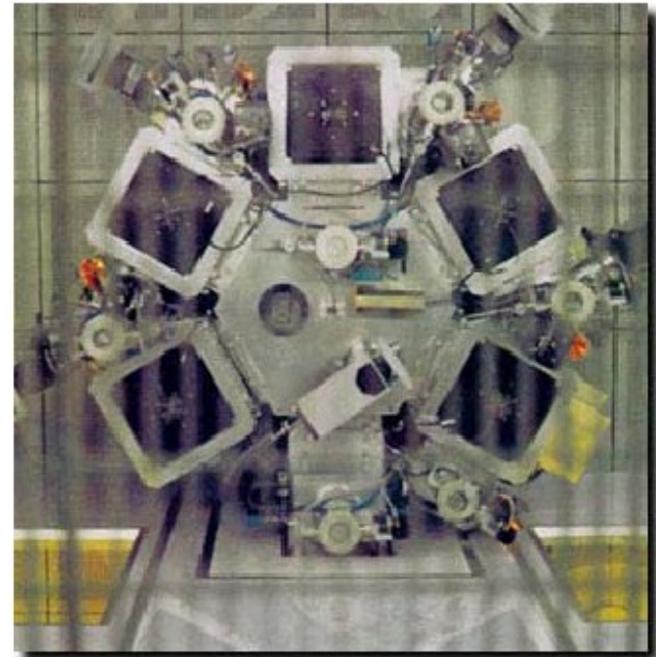
Metalización (deposición de metal)

La evaporación utiliza el calor de un filamento eléctrico o de un haz de electrones y un fuerte vacío para vaporizar la fuente de metal. El material vaporizado se condensa sobre la superficie de las obleas.

El chisporroteo utiliza plasma de argón que bombardea el metal fuente. Las moléculas de metal desprendidas son focalizadas por una "lente", llamada colimador; y se depositan en una fina película sobre la superficie de la oblea.



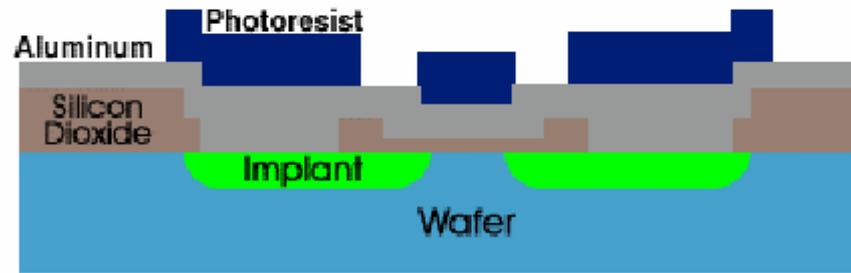
Thin Film Deposition
(Alcatel High Vacuum Technology)



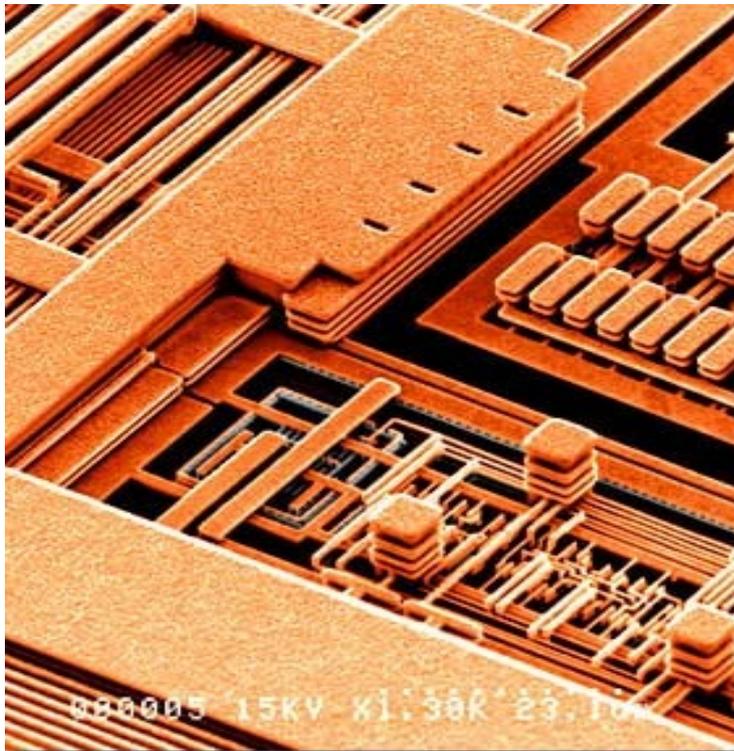
PVD Sputtering Tool
(Sputtered Films Corporation)

Ataque del metal

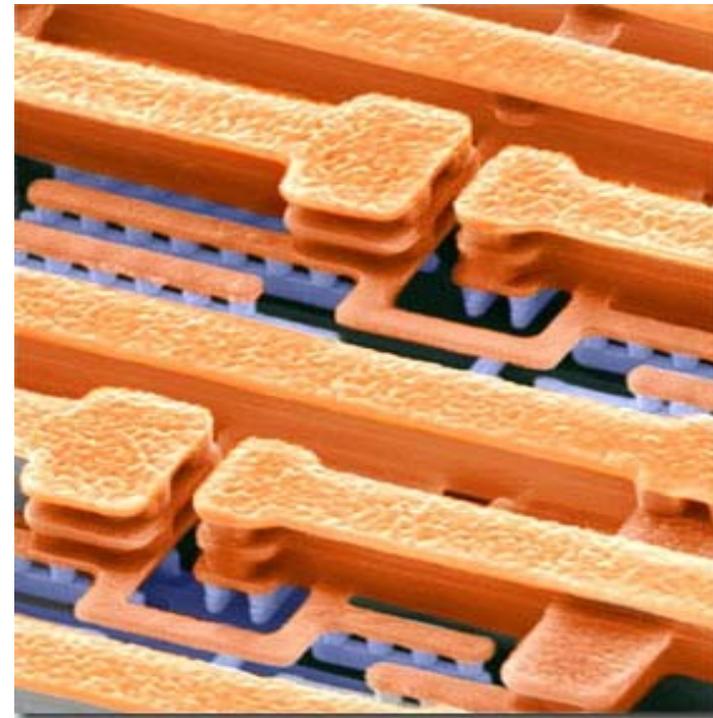
El ataque del metal elimina selectivamente porciones de la capa de aluminio para dejar establecidas las rutas de conexionado del dispositivo.



Metal Etch



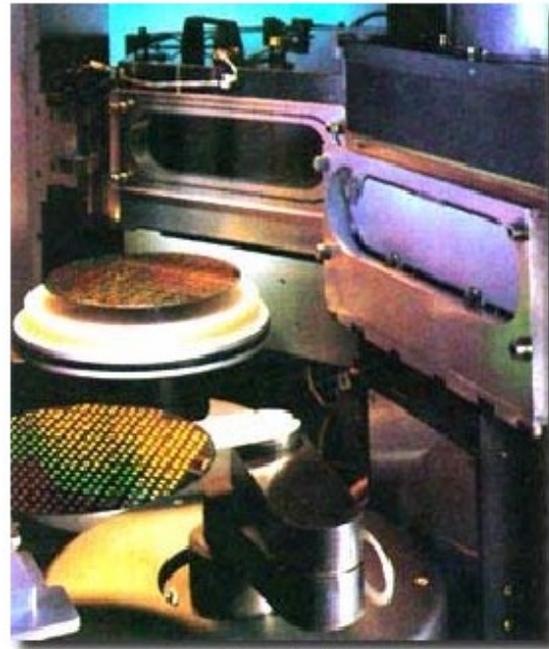
SEM view of Copper Interconnect
(IBM Microelectronics)



SEM view of Copper Interconnect
(IBM Microelectronics)

Ataque del metal

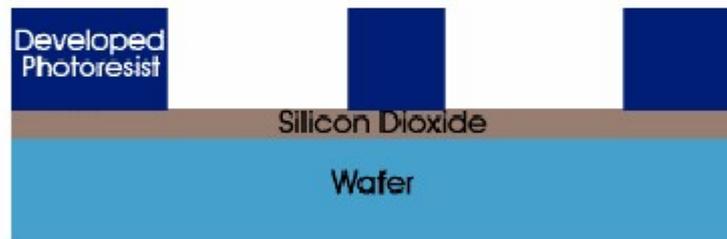
La oblea es colocada en el interior de la cámara de procesamiento y recibe una carga eléctrica negativa. La cámara es calentada hasta 200°F (100°C) y se induce un vacío de 10 militorrs, luego se llena de plasma cargado positivamente (generalmente una mezcla de nitrógeno, cloro y cloruro de boro (BCl_3)). Las cargas eléctricas opuestas originan que las moléculas de plasma se muevan rápidamente para alinearse en dirección vertical, provocando una acción física y química del tipo “choro de arena”, eliminando el aluminio expuesto.



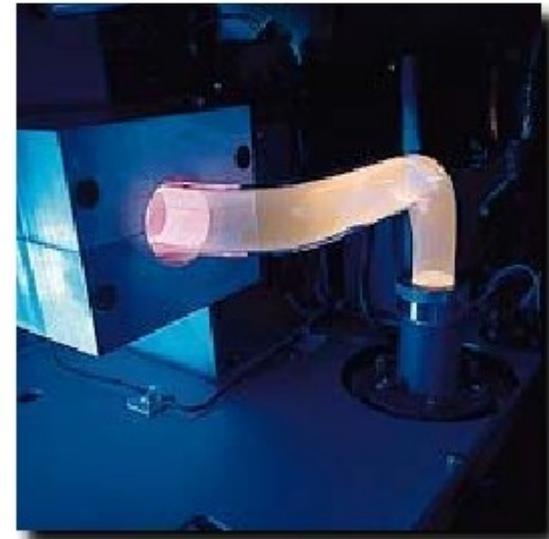
Metal Etch (Tegal)

Incineración

Proceso que se encarga de eliminar de forma selectiva la fotoresina residual por medio de un plasma de alta temperatura sin dañar las capas del dispositivo.



Photoresist Develop & Strip



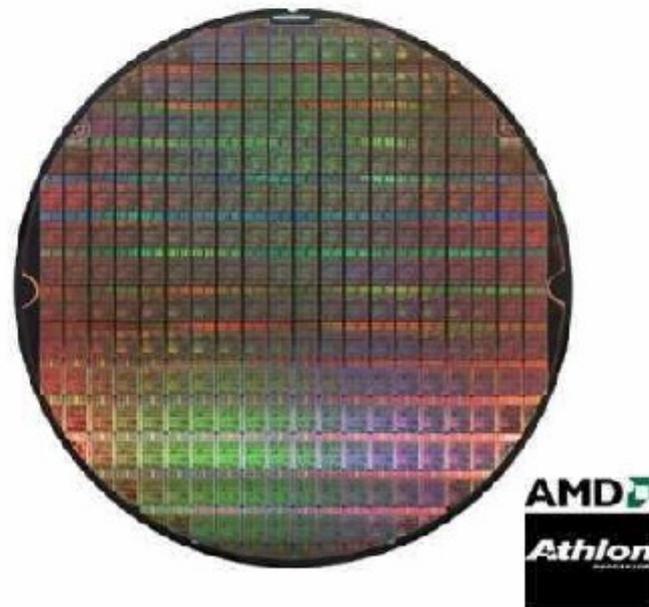
Plasma Asher
(Fusion Systems)

Testeo y Corte en dados



Passivation

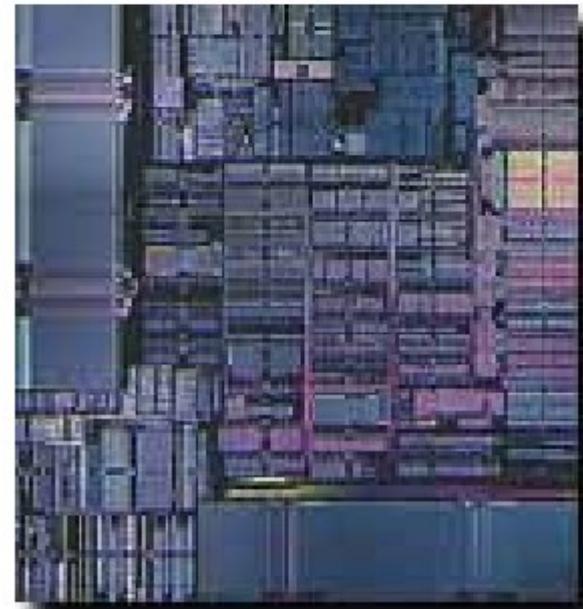
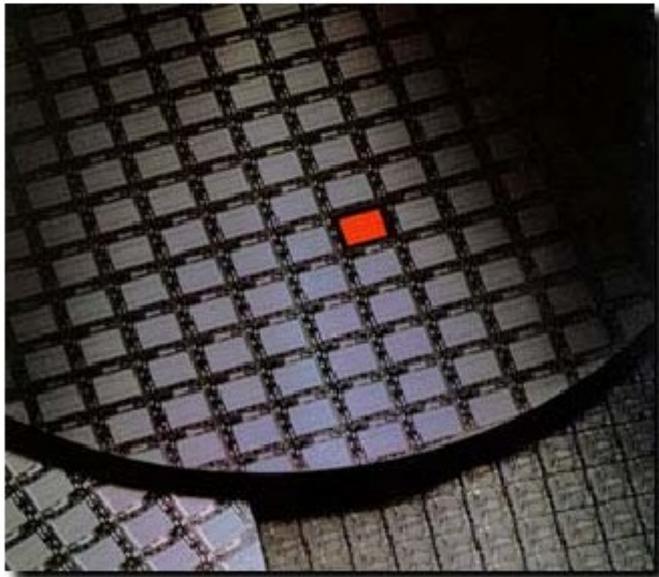
Después de aplicada la capa final de pasivado, la oblea entera pasa por una preparación posterior, la cual afina la oblea para permitir una mejor disipación de calor y elimina las grietas tensionales que pueden causar la rotura.



Testeo y Corte en dados

Cada oblea terminada puede contener algunos cientos de dispositivos del mismo tipo contenidos en pequeños dados. Todos los dados son testeados de forma automática antes de proceder a cortarlos.

El equipo de testeo utiliza unas sondas tipo agujas para hacer contacto en los *pads* de soldadura (puntos de conexión del circuito) de cada dispositivo y verificar su funcionamiento.



64-Bit RISC
Microprocessor Die
(Motorola)

Conexionado

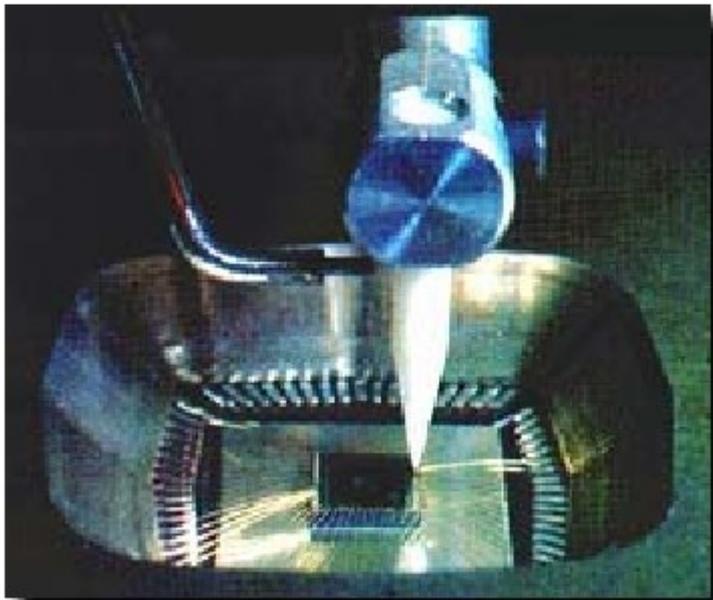
Una vez separados en dados, los circuitos son montados en el cuerpo que contiene los terminales (pines).



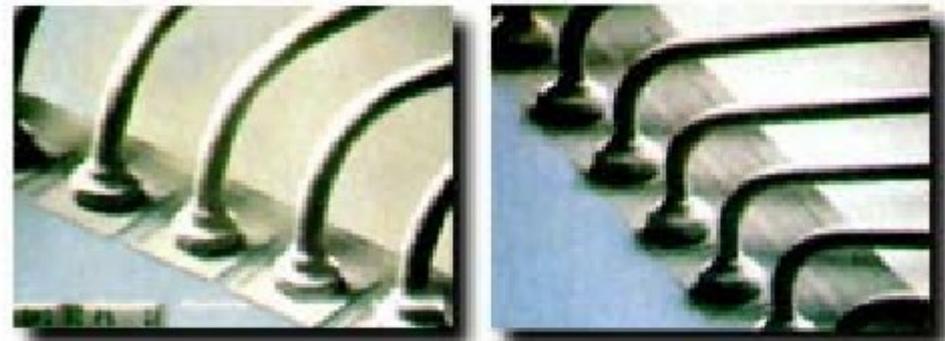
Die Lead Frame Attachment
(Ablestik)

Conexionado

Mediante un proceso automatizado se fijan los cables ultrafinos (en torno a los 30 μ m de diámetro, 1/3 del diámetro del cabello humano) entre cada *pad* del dispositivo y el conector (*pin*) del soporte.



Wire Bonding
(Kulicke & Soffa Industries, Inc.)



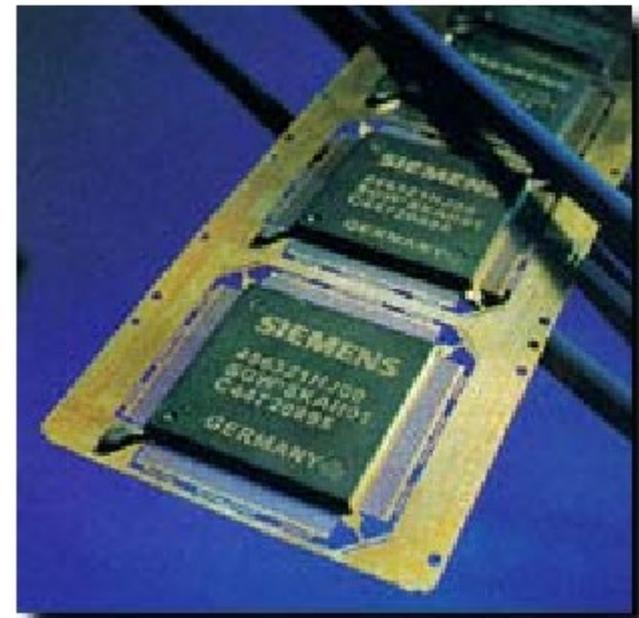
Wire Bonding
(Kaijo Corporation)

Encapsulado

Después de terminada la soldadura de los cables se procede al sellado del dispositivo en un envoltorio cerámico o de plástico.



DIP (Dual In-line Package) Device
(AMD Corporation)



Quad Package Device
(Siemens AmG)